



DT03 Rec'd PCT/P 23 DEC 2004

Atty. Dkt. No. 029471-0168

PCT  
\$ #12

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hiroyuki TAKAHASHI, et al.

Title: SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR  
MEMORY DEVICE CONTROL METHOD

Appl. No.: 10/507,117

Filing Date: 9/10/2004

Examiner: Unassigned

Art Unit: 2818

PETITION TO CONVERT UNDER 37 C.F.R. § 1.182

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The above-identified application was incorrectly filed as a National phase application under the provisions set forth in the Patent Cooperation Treaty (PCT), when in fact it should have been filed as a Continuation National phase application, as claims 49-51 were added in the national stage filing. The remaining portions of the National stage application are believed to be the same as that of the PCT application.

A copy of the PCT application, in Japanese with an English language Abstract, is included with this petition, whereby the claims section shows that only claims 1-48 were pending in the PCT application.

A petition fee as set forth in 37 C.F.R. § 1.17(h) is included with this petition.

Respectfully submitted,

12/29/2004 MKAYPAGH 00000118 10507117

01 FC:1617

130.00-0P

Date December 23, 2004

By Phillip J. Articola

FOLEY & LARDNER LLP  
Customer Number: 22428  
Telephone: (202) 672-5407  
Facsimile: (202) 672-5399

David A. Blumenthal  
Attorney for Applicant  
Registration No. 26,257

Phillip J. Articola  
Registration No. 38,819

Repln. Ref: 01/19/2005 CSH00T 0007074600

RECEIVED

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 9 月 25 日 (25.09.2003)

PCT

(10) 国際公開番号  
WO 03/079367 A1

(51) 国際特許分類: G11C 11/407, H03K 5/13  
(21) 国際出願番号: PCT/JP03/02095  
(22) 国際出願日: 2003 年 2 月 26 日 (26.02.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2002-72953 2002 年 3 月 15 日 (15.03.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): NEC  
エレクトロニクス株式会社 (NEC ELECTRONICS

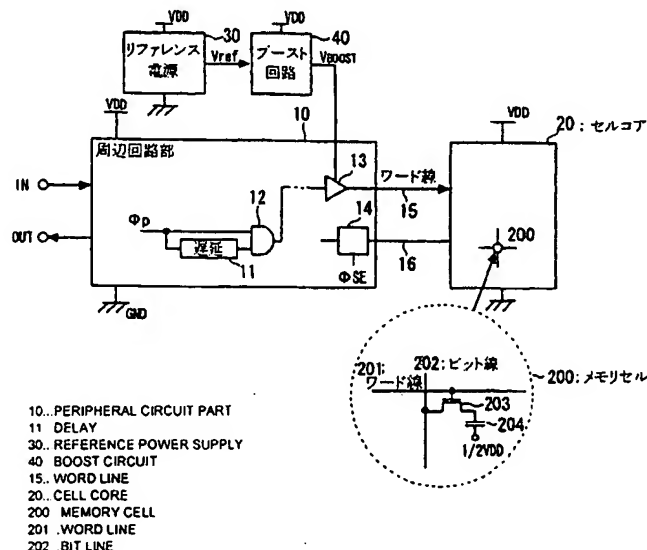
CORPORATION) [JP/JP]: 〒211-8668 神奈川県 川崎市  
中原区下沼部 1 7 5 3 番地 Kanagawa (JP).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 高橋 弘行 (TAKA-  
HASHI, Hiroyuki) [JP/JP]: 〒211-8668 神奈川県 川崎市  
中原区下沼部 1 7 5 3 番地 NEC エレクトロニクス株  
式会社内 Kanagawa (JP). 廣田 卓哉 (HIROTA, Takuya)  
[JP/JP]: 〒211-8668 神奈川県 川崎市 中原区下沼部  
1 7 5 3 番地 NEC エレクトロニクス株式会社内  
Kanagawa (JP). 中川 敦 (NAKAGAWA, Atsushi) [JP/JP]:  
〒211-8668 神奈川県 川崎市 中原区下沼部 1 7 5 3 番  
地 NEC エレクトロニクス株式会社内 Kanagawa (JP).

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND CONTROL METHOD OF SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置と半導体記憶装置の制御方法



(57) Abstract: A power supply of a relatively low voltage (VDD) is used to drive a cell core part (20) and its peripheral circuit (10). A boost voltage (VBOOST) to be supplied to control signals of word lines (15) and the like of the cell core part (20) is a constant voltage independent of the power supply voltage (VDD). Sense amplifiers (14) amplify the higher side voltage of bit lines (16) up to the power supply voltage (VDD). A circuit for generating signals for defining the transition timing of the control signals from the peripheral circuit (10) to the cell core part (20) and/or defining the pulse width of the control signals is implemented by use of a delay circuit (11) having a characteristic to shorten the delay time of the signals in response to a reduction in the supplied power supply voltage.

(57) 要約: セルコア部 (20) 及びその周辺回路 (10) を、相対的に低電圧の電源電圧 (VDD) で駆動し、セルコア部 (20) のワード線 (15) 等の制御信号に供給される昇圧電圧 (VBOOST) は、電源電圧 (VDD) に依存しない定電圧が供給され、センスアンプ (14) が、ビット線 (16) の高側側電圧を電源電圧 (VDD) まで増幅し、周辺回路 (10) からセルコア部 (20) への制御信号の遷移タイミング、及び又は、前記制御信

BEST AVAILABLE COPY



(74) 代理人: 加藤 朝道 (KATO, Asamichi); 〒222-0033 神奈川県 横浜市港北区新横浜 3丁目20番12号 望星ビル7階 加藤内外特許事務所 Kanagawa (JP). 添付公開書類:  
— 国際調査報告書

(81) 指定国 (国内): KR, US.

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, IT).

## 明 細 書

## 半導体記憶装置と半導体記憶装置の制御方法

## 5 技術分野

この発明は、半導体記憶装置に関し、特に、低電圧の電源電圧による駆動に好適とされる半導体記憶装置とその制御方法に関する。

## 背景技術

- 10 近時、半導体集積回路の電源電圧の低電圧化が進められている。特に携帯機器等に搭載され、バッテリー駆動されるメモリ、及びロジックデバイス等では、低消費電力化が要求されている。

- 半導体集積回路等では、各回路を動作させる上で必要とされる信号のタイミングを得るために遅延回路が用いられている。また、外部からのクロック信号で駆動されない非同期型のダイナミック型半導体記憶装置では、半導体記憶装置内で各種タイミング信号を生成している。すなわち、メモリセルコア部の制御用の各種信号を、アドレス信号の変化の検出、所定の入力信号、あるいはそのデコード結果に基づきパルス信号を生成し、このパルス信号とその遅延信号から、所定の遅延で立ち上がり、所定のパルス幅を有するパルス状の制御信号を生成している。
- 15
- 20

- 以下では、この発明の背景技術として、本発明の実施例の説明で参照される第6図を用いて、非同期型のダイナミックRAMの概要について説明しておく。第6図において、周辺回路部10は、遅延回路11に入力される信号と遅延回路の出力を入力とする論理回路12の演算結果の信号に基づき、ワード線を駆動するワード線ドライバ13の駆動を制御している。このワード線ドライバ13の駆動電源には、昇圧回路（ブースト回路40）から昇圧電圧が供給される。この昇圧電圧としては電源電圧VDDにNMOSトランジスタの閾値電圧 $V_{th}$ を超える電圧が上乘せされた電圧が供給される。なお、第6図のリファレンス電源30は、本発明の実施例に固有のものであり、従来のダイナミックRAMには含まれない。
- 25

いことを注意しておく。セルコア部20内のワード線とビット線との交差部のメモリセル200のNMOSトランジスタ203において、選択されたワード線201に接続されるゲートには $V_{DD} + V_t$ 以上の高電圧が供給され、NMOSトランジスタ203の出力電圧が電源電圧 $V_{DD}$ にまで上昇できるようにされている。

第7図は、非同期型のダイナミックRAMのタイミング動作を説明するための図である。メモリサイクルのアドレスの遷移を図示されないATD回路で検出し、ATD信号がアクティブとされ、この信号、アドレス信号のデコード結果、及び、メモリのアクセスを制御する図示されない制御信号に基づき、ロウアドレスを活性化させるストロブ信号 $\phi_p$ が生成される。この信号 $\phi_p$ とこれを遅延させた信号に基づき生成される信号により、ワード線の立ち上がりのタイミング、及び／又はそのパルス幅が制御される。同様にして、ビット線16に読み出された信号を増幅するセンスアンプ14の活性化を制御する信号 $\phi_{SE}$ 、あるいは、図示されないYスイッチイネーブル信号、ビット線を $1/2 V_{DD}$ にプリチャージする制御信号等が生成される。

この種の遅延回路11としては、例えば、複数段のインバータを縦続形態に背接続してなるインバータチェーンが用いられる。なお、遅延回路を構成するインバータの段数は、遅延回路が入力信号と同相の遅延信号を出力する場合、偶数段とされ、入力信号と逆相の遅延信号を出力する場合、奇数段とされる。

第15図に、CMOSインバータ・チェーンを用いた従来の遅延回路の構成の一例を示す。第15図(A)に示すように、縦続接続された複数のインバータJV1～JV4よりなり、各インバータの出力には、MOSキャパシタJN1～KN4からなる負荷容量が接続されている。各インバータは、第15図(B)に示すように、高位側電源 $V_{DD}$ にソースが接続されたPMOSトランジスタMP301と、ゲートとドレインがPMOSトランジスタMP301のゲートとドレインに接続され、ソースが低位側電源GNDに接続されたNMOSトランジスタMN301から構成されており、共通ゲートに入力される信号がlow(低)レベルからhigh(高)レベルに遷移すると、オン状態のNMOSトランジスタMN301を介して、共通のドレインに接続される負荷容量の電荷を電源GNDに

放電して出力はlowレベルとなり、共通ゲートに入力される信号がhighレベルからlowレベルに遷移すると、オン状態のPMOSトランジスタMP301を介して電源VDDから共通のドレインに接続される負荷容量を充電し出力はhighレベルとなる。このように、インバータの出力の負荷容量を充電、放電し、信号を伝搬させていく。

CMOS型のインバータの立ち下がり、立ち上がり時間（遅延） $t_f$ 、 $t_r$ （振幅の10%～90%の遷移時間）は、MOSトランジスタの非飽和領域及び飽和領域でのドレイン電流と電圧の特性（非飽和領域では、ゲート・ソース間電圧と、ドレイン・ソース間電圧と、閾値電圧、及びトランスコンダクタンスで規定され、飽和領域では、ゲート・ソース間電圧と閾値電圧、及びトランスコンダクタンスで規定される）に基づき、負荷容量、電源電圧、トランスコンダクタンス、閾値と電源電圧の比に依存する式として算出され、その概算として、よく知られているように、

$$t_f = k_1 \times CL / (\beta_n \times VDD)$$

$$t_r = k_2 \times CL / (\beta_p \times VDD)$$

と近似される。但し、CLは負荷容量、 $\beta_p$ 、 $\beta_n$ はCMOSインバータのPMOSトランジスタ、NMOSトランジスタのトランスコンダクタンス、VDDは電源電圧、 $k_1$ 、 $k_2$ は定数である。

電源電圧VDDが高いと、インバータの立ち上がりと立ち下がり時間 $t_r$ 、 $t_f$ はともに短縮され、インバータの伝搬遅延時間 $t_{pd}$ （入力信号の立ち上がりから反転出力信号の立ち下りまでの伝搬遅延時間 $t_{pHL}$ 、入力信号の立ち下がりから反転出力の立ち上がりまでの伝搬遅延時間 $t_{pLH}$ ）は短くなる。

一方、電源電圧VDDが低くなると、インバータの立ち上がり、立ち下がり時間 $t_r$ 、 $t_f$ はともに長くなり、インバータの伝搬遅延時間は長くなる。

第15図の遅延回路を構成するインバータJV1～JV4の各遅延時間の増大により、遅延回路の伝搬遅延時間も増大する。またインバータ列からなる遅延回路と同様、他の回路も、動作電源電圧の高低により、伝搬遅延時間は、短縮／長大化し、したがって、デバイスの動作速度は、速く／遅くなる。

近時、デバイスの微細化の進展による耐圧等と低消費電力化等の要請から、半

導体装置の電源電圧を降圧し、内部回路を低電圧で動作させる構成が一般に用いられている。ダイナミック型半導体記憶装置においても、周辺回路部とセルコア部（「メモリセルアレイ」ともいう）の電源電圧として、外部から供給される電源電圧VDDを、降圧回路で降圧した内部電源電圧VINTが用いられている。

5    しかしながら、降圧電源電圧を用いる半導体記憶装置は、電源電圧VDDの低電圧化には対応できない場合がある。その理由は、低電圧化された電源電圧VDDをさらに降圧した内部電源電圧VINTを用いた場合、デバイスの動作速度が遅くなり、アクセスタイムの低速化等、機能仕様等を満たさなくなる場合があるためである。

10    また第15図に示した従来の遅延回路において、電源電圧VDDが低下すると、通常の論理回路での遅延量の増加に比して、より多大に遅延時間が増大し、信号のタイミング関係が満足されなくなる場合があるという問題点も有している。これは、次の理由による。すなわち、各インバータの出力部に接続された配線は短いため、実質的な配線抵抗は存在せず、MOSキャパシタとともに時定数に寄  
15    与する抵抗成分は、各トランジスタのオン抵抗が支配的である。

これに対して、一般の論理回路の信号線は、第16図に示すような回路構成で駆動されている。配線抵抗（寄生抵抗）Rと寄生容量Cを有する信号線SLの立ち上がり又は立ち下りは、信号配線の寄生抵抗Rと、ドライバ（出力回路）Dの出力抵抗と、信号線の寄生容量Cで定まる時定数によって規定される。配線の寄生抵抗を負荷として有する配線を駆動する回路において、信号の遅延時間は電源  
20    電圧に対して、第15図のインバータチェーンほどの電源依存性を有さない。

したがって、一般の論理回路系に対して、第15図に示した遅延回路の遅延時間は、電源電圧の低下に対して過剰に増大する。

このような問題点を解消するために、本願発明者は、すでに特願2001-0  
25    97083号（先の出願（特願2000-243317号）に基づく優先権主張：US Patent Application Publication No. US 2002/0021159 A1）において、第17図に示すような構成の遅延回路を提案している。この遅延回路は、電源電圧が低下しても、一般論理回路と比して、その遅延時間が過剰に増加せず、遅延回路の増加を抑制可能な遅延回路である。

第17図を参照すると、遅延回路は、縦続接続される複数段のインバータV11、V12、V13、V14を備えており、インバータV11、V13の出力と高位側電源VDD間には、PMOSキャパシタP11、P12をそれぞれ備え、インバータV12、V14の出力と低位側電源GND間には、NMOSキャパシタN11、N12をそれぞれ備えている。

PMOSキャパシタP11、P12は、それぞれ、インバータV11、V13の出力のhighレベルからlowレベルへの立ち下りの遷移に対して、オフ状態からオン状態（反転状態）となる。NMOSキャパシタN11、N12は、それぞれインバータV12、V14の出力のlowレベルからhighレベルへの立ち上がりの遷移に対して、オフ状態からオン状態（反転状態）となる。よく知られているように、NMOSキャパシタは、ゲート電圧 $V_g$ が負又はグランド電圧GND（0V）のとき蓄積状態とされ、その容量値は、ゲート酸化膜のもつ容量 $C_0$ のみとされ、ゲート電圧 $V_g > 0$ のとき、基板表面に空乏層（depletion layer）が形成され、その容量値は、ゲート酸化膜容量 $C_0$ と基板表面に形成される空乏層の容量 $C_d$ との直列合成容量 $C$ となり $C_0$ より小とされ、ゲート電圧 $V_g$ が正で大きくなると（ $V_g > V_t$ 、 $V_t$ は閾値電圧）、p型基板表面がn型化した反転層（inversion layer）が形成され、いわゆる強く反転すると、その容量値は $C_0$ に近づく。同様にして、PMOSキャパシタは、ゲート電圧が電源電圧VDDのとき蓄積状態であり、ゲート電圧が電源電圧よりも下がりグランド電圧GND側に遷移すると、空乏状態、反転状態となる。

第17図に示すインバータチェーンにおいては、電源電圧VDDが低下し、MOSトランジスタの駆動電流が減少して、見かけ上、インバータを構成するMOSトランジスタのオン抵抗が増大すると、MOSキャパシタの容量値は、相対的に減少し、これにより、遅延量の増大を抑制するようにしたものである。この遅延回路は、初段のインバータV11への入力SINの立ち上がり（GNDからVDDへの遷移）に対して、電源電圧VDDの低下に対する遅延時間の過剰な増大を抑制する。

また、本願発明者は、すでに特願2001-097083号で、第18図に示すような構成の遅延回路を提案している。この遅延回路は、電源電圧が低下して

も、遅延時間が過剰に増加せず、遅延回路の増加を抑制可能な遅延回路である。

第18図において、インバータV81のPMOSトランジスタP81は高閾値、NMOSトランジスタN81は低閾値に設定されており、インバータV82のPMOSトランジスタP82は低閾値、NMOSトランジスタN82は高閾値に設定されており、インバータV81の入力閾値は電源電圧の低下に従って低下し、インバータV82の入力閾値は電源電圧の低下に従って上昇する傾向を示す。これにより、電源電圧VDDの低い領域で、遅延回路の入力閾値は低下し、入力信号の立ち上がりから出力信号の立ち上がりの伝搬遅延時間 $t_{pd}$ は、入力信号の立ち下がりから出力信号の立ち下がりの伝搬遅延時間に対して相対的に短くなる。この結果、信号の立ち上がりの遅延時間を短縮することができ、この遅延時間の電源電圧に対する依存性を抑制している。

このように、第17図、第18図にそれぞれ示した遅延回路は、第15図に示した構成のような、電源電圧VDDの低下に対する遅延時間の過剰な増大を抑制している。しかしながら、電源電圧の低下に対してその遅延時間が短縮する、という逆感度特性を有するものではない。このため、半導体記憶装置の電源電圧の低電圧化に対して、第17図、第18図にそれぞれ示した遅延回路を用いて制御信号のエッジ、パルス等を生成する場合、当該制御信号は電源電圧の低下にしたがって、遅延は短縮するものではなく、このため、低電圧化には制約が課せられる。

したがって、本発明が解決しようとする課題は、駆動電源電圧を低下させながら、セルコア部のアクセスを高速化させることで、低電圧化された電源電圧に対して、セルコア部と周辺回路との総合的なアクセス速度の低下を抑止した半導体記憶装置及びその制御方法を提供することにある。

また、本発明が解決しようとする他の課題は、簡易な構成により、電源電圧の低下に対して遅延時間の増大の抑止をさらにすすめ、遅延時間が短縮する傾向を示すを備えた半導体装置を提供することにある。

## 発明の開示

本発明の1つのアスペクトに係る半導体記憶装置は、複数のメモリセルがアレ

イ状に配置されてなるメモリセルアレイと、供給される電源電圧に依存しない定電圧を駆動電圧として入力し、選択されたワード線を前記定電圧で駆動するワード線駆動回路と、を備え、選択されたビット線の振幅の高位側電圧は前記電源電圧とされる。

- 5 本発明の他のアスペクトに係る半導体記憶装置は、前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路を含む周辺回路が、入力された信号を遅延させる遅延回路を備え、前記遅延回路は、前記遅延回路に供給される電源電圧が高いときよりも低いときの方が遅延時間が短い特性を有する。
- 10 本発明の他のアスペクトにおいて、遅延回路は、ソースが第1の電源に接続される第1のMOSトランジスタと、ソースが第2の電源に接続され、ゲートが前記第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続され、前記第1のMOSトランジスタと導電型が異なる第2のMOSトランジスタと、を有するインバータと、前記インバータの出力端に一端が接続されている抵抗と、前記抵抗の他端と前記第1又は第2の電源との間に接続されたMOSキャパシタと、を含む回路ユニットを少なくとも1つ備えている。
- 15

- 本発明に係る上記遅延回路において、前記MOSキャパシタは、前記MOSキャパシタの一端が接続される前記抵抗の他端の電圧の、前記第1又は第2の電源の電源電圧のうち前記MOSキャパシタの他の一端が接続される一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、容量値が小から大に変化する。本発明において、前記MOSキャパシタには、前記抵抗の他端の電圧の、前記第1又は第2の電源の電源電圧のうち前記MOSキャパシタが接続される一の電源の電源電圧から他の電源の電源電圧への遷移に従って、空乏層や反転層が
- 20
- 25 形成される。

本発明に係る上記遅延回路においては、前記回路ユニットが複数段縦続形態に接続されており、初段の回路ユニットの前記インバータの入力端に入力信号が入力され、最終段の回路ユニットのインバータの出力端に接続される前記抵抗の他端とMOSキャパシタとの接続点から出力信号が取り出され、相隣る段の回路ユ

ニットのMOSキャパシタは、前記第1の電源と前記第2の電源とに交互に接続されている。

本発明の1つのアспектにおいて、遅延回路は、1つ又は複数段縦続形態に接続されるインバータを含む遅延回路において、前記インバータの出力端に一端  
5 が接続される抵抗と、前記抵抗の他端と高位側又は低位側電源間に接続された容量素子と、を前記インバータのそれぞれに備え、前記容量素子は、前記容量素子の一端が接続される前記抵抗の他端の電圧の、高位側又は低位側電源の電源電圧のうち前記容量素子の他端が接続される一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、容量値が小から大に変化する。

- 10 本発明の他のアспектにおいて、遅延回路は、入力信号を入力端から入力する第1のインバータと、前記第1のインバータの出力端に一端が接続されている第1の抵抗と、前記第1の抵抗の他端と第1の電源とに一端と他端がそれぞれ接続され、前記第1の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第1の容量素子と、前記第1の抵抗と前記第1の容量素子との接続  
15 点が入力端に接続された第2のインバータと、前記第2のインバータの出力端に一端が接続されている第2の抵抗と、前記第2の抵抗の他端と第2の電源とに一端と他端がそれぞれ接続され、前記第2の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第2の容量素子と、を含み、前記第2の抵抗と前記第2の容量素子との接続点を遅延信号の出力端とし、前記出力端からは、  
20 前記入力信号の遷移エッジを同相で遅延させた出力信号が出力される。本発明においては、前記第1の容量素子は、前記第1の抵抗の他端に接続される前記一端の電圧が、前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、その容量値が小から大に変化し、前記第2の容量素子は、前記第2の抵抗の他端に接続される前記一端の電圧が、前記第2の電源電圧側から前記第1の電源電圧側  
25 へ遷移するとき、その容量値が小から大に変化する。本発明においては、前記第1の容量素子が、好ましくは、MOSキャパシタよりなり、前記第1の容量素子をなす前記MOSキャパシタは、前記第1の抵抗の他端の電圧が、前記第1の電源電圧側から第2の電源電圧側へ遷移するとき、反転状態に変化し、前記第2の容量素子が、好ましくは、MOSキャパシタよりなり、前記第2の容量素子をな

す前記MOSキャパシタは、前記第2の抵抗の他端の電圧が、前記第2の電源電圧側から前記第1の電源電圧側へ遷移するとき、反転状態に変化する。

本発明の他のアスペクトの上記遅延回路においては、前記第1の抵抗の他端と前記第2の電源とに一端と他端がそれぞれ接続され、前記第1の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第3の容量素子と、前記第2の抵抗の他端と前記第1の電源とに一端と他端がそれぞれ接続され、前記第2の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第4の容量素子と、を備えた構成としてもよい。本発明においては、前記第3の容量素子は、前記第1の抵抗の他端に接続される前記一端の電圧が、前記第2の電源電圧側から前記第1の電源電圧側へ遷移するとき、容量値が小から大に変化し、前記第4の容量素子は、前記第2の抵抗の他端に接続される前記一端の電圧が、前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、容量値が小から大に変化する。本発明に係る遅延回路においては、前記第3の容量素子が、好ましくは、MOSキャパシタよりなり、前記第3の容量素子をなす前記MOSキャパシタは、前記第1の抵抗の他端の電圧が、前記第2の電源電圧側から第1の電源電圧側へ遷移するとき、反転状態に変化し、前記第4の容量素子が、好ましくは、MOSキャパシタよりなり、前記第4の容量素子をなす前記MOSキャパシタは、前記第2の抵抗の他端の電圧が、前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、反転状態に変化する。

本発明に係る上記遅延回路においては、前記第1のインバータの入力端に制御端子が接続され、前記第1の電源と前記第1の抵抗の他端との間に接続された第1のスイッチを有するリセット回路を備えた構成としてもよい。あるいは、前記第1のインバータの入力端に前記第3のインバータと、前記第2の抵抗の他端と前記第2の電源間に接続され前記第3のインバータの出力端に制御端子が接続されている第2のスイッチと、を有するリセット回路を備えた構成としてもよい。

本発明の他の1つのアスペクトにおいて、遅延回路は、前記第1の抵抗の他端と前記第2の電源間に接続され、前記第1の抵抗の他端の電圧が、前記第2の電源電圧から前記第1の電源電圧へ遷移するとき、前記容量値が小から大に変化する

る第3の容量と、前記第2の抵抗の他端と前記第1の電源間に接続され、前記第2の抵抗の他端の電圧が、前記第1の電源電圧から前記第2の電源電圧へ遷移するとき、前記容量値が小から大に変化する第4の容量と、をさらに備えている。

5 本発明において、前記第3の容量が、MOSキャパシタよりなり、前記第1の抵抗の他端の電圧が、前記第2の電源電圧から第1の電源電圧へ遷移するとき、反転状態に変化し、前記第4の容量が、MOSキャパシタよりなり、前記第2の抵抗の他端の電圧が、前記第1の電源電圧から前記第2の電源電圧へ遷移するとき、反転状態に変化する。

10 本発明の他の1つのアスペクトに係る半導体記憶装置は、メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する周辺回路が、入力された信号を遅延させる遅延回路を備え、前記遅延回路として、上記した本発明の各アスペクトのいずれかに係る遅延回路を備えている。

15 本発明の半導体記憶装置においては、前記メモリセルアレイの制御線に供給される昇圧電圧として、電源電圧に依存しない定電圧を供給する回路を備えている。かかる本発明の半導体記憶装置においては、前記メモリセルアレイと前記遅延回路と前記周辺回路とが、相対的に低い電源電圧で駆動される。あるいは、前記メモリセルアレイと前記遅延回路とが電源電圧を降圧した低い電源電圧で駆動され、前記周辺回路は前記電源電圧で駆動される構成としてもよい。

20 本発明の他のアスペクトに係る方法は、論理信号の遷移エッジを1つのインバータ又は複数段縦続接続されたインバータを用いて遅延させる遅延方法において、前記インバータの出力端に抵抗の一端を接続し、前記抵抗の他端をMOSキャパシタを介して電源に接続し、

25 (a) 前記インバータの入力端に、入力端子よりもしくは前段のインバータの出力端に一端が接続された抵抗の他端より、立ち上がり又は立ち下りの遷移信号が入力されるステップと、

(b) 前記遷移信号が入力された前記インバータに対応する前記MOSキャパシタが接続されている電源側に対応する一の論理値から他の論理値への、前記インバータの出力信号の遷移において、前記MOSキャパシタが反転状態に変化する

るステップと、を含む。

また、本発明の他のアスペクトに係る半導体記憶装置の制御方法は、メモリセルアレイ及びその周辺回路を、相対的に低電圧の電源電圧で駆動し、前記メモリセルアレイの制御信号に供給される昇圧電圧は、電源電圧に依存しない定電圧が  
5 供給され、前記周辺回路から前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定する信号を生成する回路が、信号の遅延を、電源電圧の低下に対して遅延時間が減少する逆特性を有する遅延回路を用いて行う。

以下の説明からも明らかとされるように、上記した課題の少なくとも1つは、  
10 特許請求の範囲の各請求項の発明によっても同様にして解決される。

#### 図面の簡単な説明

第1図は、本発明の遅延回路の一実施例の構成を示す図である。

第2図は、本発明の遅延回路の第2の実施例の構成を示す図である。

15 第3図は、本発明の遅延回路の第2の実施例のタイミング動作を説明するための図である。

第4図は、本発明の遅延回路の第3の実施例の構成を示す図である。

第5図は、本発明の遅延回路の第4の実施例の構成を示す図である。

第6図は、本発明の半導体記憶装置の一実施例の構成を示す図である。

20 第7図は、本発明の半導体記憶装置の一実施例のタイミング動作を説明するための図である。

第8図は、本発明の半導体記憶装置の一実施例における昇圧電圧の発生回路の構成の一例を示す図である。

第9図は、本発明の半導体記憶装置において、電源電圧を可変させたときの動作原理と、比較例として従来方式の半導体記憶装置の動作を説明するための図である。  
25

第10図は、本発明の半導体記憶装置において、電源電圧を可変させたときのアクセス時間と、比較例として従来方式の半導体記憶装置のアクセス時間を対比して説明するための図である。

第 1 1 図は、本発明の遅延回路と、比較例として従来方式の遅延回路の遅延時間の電源依存性を対比して説明するための図である。

第 1 2 図は、本発明の半導体記憶装置において、電源電圧を低電圧と高電圧としたときのアクセス時間と、比較例として従来方式の半導体記憶装置のアクセス時間とを対比して説明するための図である。

第 1 3 図は、本発明の遅延回路の第 5 の実施例の構成を示す図である。

第 1 4 図は、本発明の半導体記憶装置の第 2 の実施例の構成を示す図である。

第 1 5 図は、従来の遅延回路の構成の一例を示す図である。

第 1 6 図は、配線抵抗と寄生容量からなる信号線を駆動する駆動回路の構成を模式的に示す図である。

第 1 7 図は、特願 2 0 0 1 - 0 9 7 0 8 3 号に提案される遅延回路の一例を示す図である。

第 1 8 図は、特願 2 0 0 1 - 0 9 7 0 8 3 号に提案される遅延回路の一例を示す図である。

第 1 9 図は、第 1 図に示す遅延回路と、第 1 5 図の遅延回路の動作原理の相違を説明する図である。

#### 発明を実施するための最良の形態

本発明をするための最良の形態について添付図面を参照して説明する。本発明に係る半導体記憶装置は、その好ましい一実施の形態において、複数のメモリセルがアレイ状に配置されてなるメモリセルアレイ（第 6 図のセルコア部 2 0）と、供給される電源電圧に依存しない定電圧を昇圧電圧（VB00ST）として入力し、選択されたワード線を前記定電圧で駆動するワード線駆動回路（第 6 図の 1 3）と、を備え、選択されたビット線（第 6 図の 1 6）の振幅の高位側電圧は前記電源電圧（VDD）とされる。

この実施の形態において、センスアンプ（第 6 図の 1 4）は、選択されたビット線の高位側を前記電源電圧まで増幅する。本発明の半導体記憶装置は、その好ましい一実施の形態において、メモリセルアレイ（第 6 図のセルコア部 2 0）への制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定する

ための信号を生成する回路を含む周辺回路が、入力された信号を遅延させる遅延回路（第6図の11）を備え、前記遅延回路は、前記遅延回路に供給される電源電圧が高いときよりも低いときの方が遅延時間が短い特性（第11図参照）を有する。

5 本発明の一実施の形態に係る半導体記憶装置によれば、電源電圧（VDD）を相対的に低電圧とする低電圧駆動時に、定電圧（VBOOST）が電源電圧（VDD）によらず一定であること、及び、遅延回路（第6図の11）の前記特性により前記制御信号の遅延時間（ $t_{pd}$ ）が電源電圧（VDD）を相対的に高電圧とする高電圧駆動の場合よりも減少すること、により、メモリセルアレイ（セルコア部）のアクセス時間は、高電圧駆動の場合と比べて減少し、この減少分（差分）は、低電圧駆動によるメモリセルアレイの周辺回路部での動作速度の低下によるアクセス時間の増加分の少なくとも一部を相殺し、低電圧駆動時における前記メモリセルアレイと前記周辺回路部との全体のアクセス時間の遅延の増大を抑制するという、制御機構が実現される。

15 本発明の一実施の形態において、上記遅延回路は、第1図を参照すると、ソースが第1の電源に接続された第1のMOSトランジスタと、ソースが第2の電源に接続され、ゲートが該第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが該第1のMOSトランジスタのドレインと共通接続されて出力端に接続され、該第1のMOSトランジスタと導電型が異なる第2の  
20 MOSトランジスタと、を有するCMOSインバータ（例えばINV1）と、該インバータの出力端に一端が接続されている抵抗（例えばR1）と、該抵抗の他端と第1又は第2の電源（VDD、GND）との間に接続されたMOSキャパシタ（例えばMP203）と、を含む遅延回路ユニットを1つ又は複数段備えている。所望の遅延時間に応じて、入力信号を同相で出力して遅延させる場合、偶数  
25 段縦続接続された遅延回路ユニットを含み、入力信号を逆相で出力して遅延させる場合、奇数段縦続接続された遅延回路ユニットを含む。

MOSキャパシタ（MP203、MN203）は、ゲート電圧が、MOSキャパシタ（例えばMP203、MN203）が接続される電源電圧（VDD、GND）のとき蓄積状態とされ、そのゲート電圧の、MOSキャパシタ（例えばMP

203、MN203)が接続される電源電圧(VDD、又はGND)から、他方の電源電圧(GND又はVDD)への遷移に従って、基板表面には空乏層や反転層が形成される。すなわち、MOSキャパシタは空乏状態や反転状態となる。

この発明の実施の形態によれば、インバータの出力端に抵抗の一端を接続し抵抗と他端との電源間に、該インバータの出力の該電源電圧側から他方の電源電圧側への遷移で容量値が小から大に変化する容量素子を備えたことにより、電源電圧の低下に対してその遅延時間の増大を抑止し、さらに減少させることができる(電源電圧依存性の逆感度特性)という作用効果を奏する。

本発明は、その一実施の形態において、入力信号を入力端から入力するCMOS型の第1のインバータ(INV1)と、該第1のインバータの出力端に一端が接続されている第1の抵抗(R1)と、第1の抵抗(R1)の他端と第1の電源(VDD)間に接続されたMOSキャパシタ(MP103)よりなる第1の容量と、第1の抵抗(R1)と第1の容量との接続点が入力端に接続されたCMOS型の第2のインバータ(INV2)と、該第2のインバータ(INV2)の出力端に一端が接続されている第2の抵抗(R2)と、第2の抵抗(R2)の他端と第2の電源(GND)間に接続されたMOSキャパシタ(MN103)よりなる第2の容量と、を少なくとも備え、第2の抵抗(R2)と第2の容量(MN103)との接続点を遅延信号の出力端子(OUT)とし、出力端からは、入力信号の遷移エッジを遅延させた信号が出力される。

この実施の形態において、立ち上がりエッジを遅延させて出力する遅延回路の第1のインバータ(INV1)のMOSトランジスタ(MN101)、第2のインバータ(INV2)のMOSトランジスタ(MP102)の閾値が低く設定されている。

この実施の形態において、好ましくは、遅延パスのインバータの出力ノードを遅延パスを経由せずに、遅延パスとは別のリセットパスを介して、当該ノードを高速にリセットする回路を備えている。より詳細には、第2図を参照すると、第1のインバータ(INV1)の入力端(IN)に制御端子が接続され、前記第1の電源と前記第1の抵抗(R1)と他端との間に接続された第1のスイッチ(MP104)を有する。第1のインバータ(INV1)の入力端(IN)にその入

力端が接続された第3のインバータ (INV01) と、第2の抵抗 (R2) の他端と第2の電源 (GND) 間に接続され第3のインバータ (INV01) の出力端に制御端子が接続された第2のスイッチ (MN104) を有する。

本発明は、別の実施の形態において、第4図を参照すると、第1の抵抗 (R1) の他端と第1の電源 (VDD) 間に接続されたMOSキャパシタ (MP203) と、第1の抵抗 (R1) の他端と第2の電源 (GND) 間に接続されたMOSキャパシタ (MN203) と、第2の抵抗 (R2) の他端と第1の電源 (VDD) 間に接続されたMOSキャパシタ (MP204) と、第2の抵抗 (R2) の他端と第1の電源 (GND) 間に接続されたMOSキャパシタ (MN204) と、  
10 を備えた構成としてもよい。かかる構成により立ち上がりと立ち下りの遷移に対して、遅延時間は、電源依存性についての逆感度特性を有する。

この実施の形態においても、リセット回路を備えてよい。例えば、第5図を参照すると、第1の電源と第1のインバータ (INV1) の給電端子 (PMOSトランジスタMP101のソース) との間に接続され、リセット用の制御信号 (CS) が第1の論理値のときオンする第3のスイッチ (MP207) を備え、第2のインバータ (INV1) の出力端と第2の電源 (GND) 間に接続され、制御信号 (CS) が第2の論理値のときオンする第4のスイッチ (MN207) を備え、第2のインバータ (INV1) の給電端子 (NMOSトランジスタMN102のソース) と第2の電源 (GND) 間に接続され、制御信号 (CS) が第1の  
20 論理値のときオンする第5のスイッチ (MN208) を備えている。

この実施の形態において、CMOS型のインバータの出力端に接続される抵抗 (例えば、第1の抵抗 (R1)、第2の抵抗 (R2)) は、基板上の拡散抵抗で構成されている。

本発明の半導体記憶装置は、その好ましい一実施の形態において、周辺回路からメモリセルに供給される制御信号の遷移エッジのタイミング、あるいはそのパルス幅を規定する信号を生成するための遅延回路 (第6図の11) として、上記各実施の形態で説明した、遅延時間の電源電圧依存性が、逆特性を有する遅延回路が用いられる。

また、本発明の半導体記憶装置は、その好ましい一実施の形態において、Xデ

コダ、Yスイッチセクタ、センスアンプ等の少なくともいずれか1つを含む周辺回路部の電源電圧VDDは低電圧化され、セルコア部（メモリセルアレイ）も低電圧化された電源電圧VDDで駆動され、低消費電力化を図っている。セルコア部に供給される制御信号の電圧（昇圧電圧VB00ST）は電源電圧に依存しない一定電圧が供給される。本発明の半導体記憶装置は、その好ましい一実施の形態において、周辺回路からメモリセルに供給される制御信号の遷移エッジのタイミング、あるいはそのパルス幅を規定する信号を生成するための遅延回路が低電圧の電源電圧で駆動される。

本発明の半導体記憶装置は、その好ましい一実施の形態において、遅延回路（11）によって生成される信号により、遷移エッジ等が規定される制御信号により、Xデコードのワード線ドライバ、センスアンプの活性化を制御する信号、ビット線のプリチャージを制御する信号を生成する。このため、周辺回路部を低電圧電源駆動とした場合にも、制御信号の遅延時間は、高電源電圧のときと比べて遅れず、アクセス速度の低下（遅延の増大）を抑止している。

この実施の形態において、昇圧電圧（VB00ST）は電源電圧に依存しない一定の昇圧電圧を生成する回路は、第8図を参照すると、電源電圧に依存しない基準電圧Vrefを生成する回路（30）と、基準電圧と、出力される昇圧電圧を分圧した分圧電圧を比較する比較回路（41）と、比較回路（41）の比較結果を受け、前記分圧電圧が前記基準電圧よりも小であることを示す場合に、チャージポンプを充電し昇圧を行う昇圧回路（40）とを備えている。昇圧電圧（VB00ST）が、ワード線ドライバの電源電圧として供給され、選択されたワード線には前記昇圧電圧が供給され、電源電圧の低下に対して、ワード線に供給される昇圧電圧は電源電圧が高いときと同一に保たれ、電源電圧の低下によるメモリセルのアクセス速度の低下が抑止される。

本発明は、メモリセルアレイの周辺回路は、例えば半導体記憶装置に供給される電源電圧（VDD）で駆動され、該周辺回路からメモリセルアレイに供給される制御信号の遷移タイミングの遅延時間及び／又は前記制御信号のパルス幅を規定するための信号を生成する遅延回路として、上記した、遅延時間が逆感度特性の遅延回路を備えている。該遅延回路（第14図の11A）は、半導体記憶装置

に供給される電源電圧 (VDD) を降圧回路 (第14図の50) で降圧した降圧電源電圧で駆動される。この実施の形態においても、メモリセルアレイに供給される昇圧電圧として電源電圧に依存しない基準電圧に基づき、電源電圧に依存しない一定電圧を供給する昇圧回路 (第14図の40) を備えている。メモリセルアレイ (セルコア部20) は、半導体記憶装置に供給される電源電圧を降圧回路 (第14図の50) で降圧した降圧電源電圧で駆動される。

本発明に係る遅延方法の一実施の形態は、論理信号の遷移エッジを1つ又は複数段縦続接続されたインバータを用いて遅延させる遅延方法において、前記インバータの出力端に抵抗 (第1図のR1、R2) の一端を接続し、前記抵抗の他端をMOSキャパシタ (第1図のMP103、MN103) を介して電源 (VDD、GND) に接続した回路構成において、

(a) インバータの入力端に、入力端子よりもしくは前段のインバータの出力端に一端が接続された抵抗の他端より、立ち上がり又は立ち下りの遷移信号 (過渡信号: transient signal) が入力される第1のステップと、

15 (b) 前記遷移信号が入力された前記インバータに対応する前記MOSキャパシタが接続されている電源側に対応する一の論理値から他の論理値への、前記インバータの出力信号の遷移において、前記MOSキャパシタ (第1図のMP103、MN103) が反転状態に変化する第2のステップを含む。

本発明に係る半導体記憶装置の制御方法の一実施の形態は、Xデコーダ、Yスイッチセクタ、センスアンプを含む周辺回路 (第6図の10) の電源電圧を低電圧化で駆動し、メモリセルアレイ (第6図の20) に供給される昇圧電圧は電源電圧に依存しない一定電圧が供給され、前記周辺回路からメモリセルに供給されるパルス状の信号を生成するための遅延回路 (第6図の11) による信号の遅延を、上記遅延方法で行う。

25 本発明に係る半導体記憶装置の制御方法の他の実施の形態は、前記周辺回路を、電源電圧で駆動し、前記遅延回路を電源電圧を降圧した降圧電源電圧で駆動し、メモリセルアレイに供給される昇圧電圧は電源電圧に依存しない一定電圧が供給され、前記メモリセルアレイを、電源電圧を降圧した降圧電源電圧で駆動し、前記周辺回路からメモリセルに供給されるパルス状の信号を生成するための遅延

回路（第6図の11）による信号の遅延を、上記遅延方法で行い、遅延回路を電源電圧を降圧した降圧電源電圧で駆動する。

このように、本発明の半導体記憶装置の実施の形態によれば、アクセスの高速化とスタンバイ電流の減少等の低消費電力化の要請に応じ、駆動電源（したがって消費電力）とアクセス時間を最適化することができる、という顕著な作用効果を奏することができる。例えば周辺回路とセルコア部をともに低電圧の電源電圧で駆動しながら、アクセス時間の過剰な増大を回避している。あるいは、周辺回路を高電圧の電源電圧で駆動し、セルコア部を低電圧の電源電圧で駆動することで、アクセスの高速化と、消費電力の増大の抑制の両立を図ることができる。

## 10 実施例

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。第1図は、本発明の一実施例（第1の実施例）に係る遅延回路の構成を示す図である。

第1図を参照すると、本発明の第1の実施例の遅延回路は、第1段目の回路として、ソースが高位側の電源VDDに接続されたPチャネルMOSトランジスタMP101と、ソースが低位側の電源GNDに接続され、ゲートがPMOSトランジスタMP101のゲートと共通接続されて入力端子INに接続され、ドレインがPMOSトランジスタMP101のドレインと共通接続されて抵抗R1の一端に接続されているNMOSトランジスタMN101からなるCMOS型の第1のインバータINV1を備え、抵抗R1の他端と電源VDD間に接続されたPMOSトランジスタMP103よりなるMOSキャパシタを備えている。このPMOSトランジスタMP103は、ゲートが抵抗R1の他端に接続され、ソースとドレインは、このPMOSトランジスタの基板ゲート（Substrate Gate）電位でもある電源電圧VDDに接続されている。

2段目の回路として、ソースが電源VDDに接続されたPMOSトランジスタMP102と、ソースが電源GNDに接続され、ゲートがPMOSトランジスタMP102のゲートと共通接続されて、MOSトランジスタMP103のゲートと抵抗R1との接続点に接続され、ドレインがPMOSトランジスタMP102のドレインと共通接続されて抵抗R2の一端に接続されるNMOSトランジスタ

MN102とからなるCMOS型の第2のインバータINV2と、抵抗R2の他  
端と電源GND間に接続されたNMOSトランジスタMN103よりなるMOS  
キャパシタを備えている。このNMOSトランジスタMN103はゲートが抵抗  
R2の他端に接続され、ソースとドレインは、このNMOSトランジスタの基板  
5 ゲート (Substrate Gate) 電位でもあるグラウンド電源GNDに接続されている

本発明の第1の実施例の遅延回路は、入力端子INに入力された信号を入力と  
する第1のインバータINV1で反転出力し、第1のインバータINV1の出力  
を入力とする第2のインバータINV2で反転出力し、入力端子INに入力され  
10 る信号を遅延させた同相の信号を出力端子OUTから出力する。なお、第1図で  
は、2段のインバータが示されているが、4段、6段等であってもよい。また遅  
延回路が入力端子INに入力される信号と逆相の信号を出力する場合、奇数段の  
インバータよりなる。

本発明の第1の実施例の遅延回路の動作について以下に説明する。トランジス  
15 タMP101、MN101からなる第1のインバータINV1とMOSキャパシ  
タMP103、トランジスタMP102、MN102からなる第2のインバータ  
INV2とMOSキャパシタMP104からなる回路は、第17図に示した構成  
に対応している。

MOSキャパシタMP103、MN103は、それぞれ、インバータINV1  
20 の出力の電源電圧VDDからグラウンド電圧GNDへの遷移、インバータINV2  
の出力のグラウンド電圧GNDから電源電圧VDDへの遷移に対して、オフ状態か  
らオン状態（反転状態）となる。すなわち、インバータINV1の出力信号電圧  
の電源電位からグラウンド電圧への立ち下り遷移において、MOSキャパシタMP  
103の基板表面には、空乏層、反転層が形成され、その容量値は、インバータ  
25 INV1の出力信号電圧の低下にしたがって大きくなる。典型的なMOSキャパ  
シタのC-V特性から、MOSキャパシタのゲート電圧V<sub>g</sub>が閾値電圧V<sub>t</sub>の数  
倍程度になると、MOSキャパシタの容量値は、ゲート絶縁膜の容量値（蓄積状  
態での容量）に近づく。

インバータINV1の出力信号電圧が電源電圧VDDから若干下がった時点と

、電源電圧VDDからPMOSキャパシタMP103の閾値電圧 $V_{thp}$ を超えて、すなわち、 $VDD - |V_{thp}|$ 以下に下がっていく遷移の過程で、遅延パスのMOSキャパシタMP103を含むCR回路（抵抗R1とMOSキャパシタMP103）の時定数の値が変化し、次第に大きくなっていく。

- 5     またインバータINV2の出力信号電圧のグランド電圧から電源電圧への立ち上がり遷移において、NMOSキャパシタMN103の基板表面には、反転層が形成され、その容量値は、インバータINV2の出力信号電圧の上昇にしたがって大きくなる。インバータINV2の出力信号電圧がグランド電圧GNDから若干上がった時点と、NMOSキャパシタMN103の閾値電圧 $V_{thn}$ を超えて
- 10    上がっていく遷移の過程で、遅延パスのNMOSキャパシタMN103を含むCR回路（抵抗R2とMOSキャパシタMN103）の時定数の値は、時不変でなく、次第に大きくなっていく。

- すなわち、本発明の第1の実施例において、インバータINV1の出力信号の立ち下り波形は、第19図にaとして示すように、立ち下り遷移の最初に、PM
- 15    OSキャパシタMP103の容量値は小であるため、その時定数は小さく、時間変化に対する振幅値の減少の割合は大きく、グランド電圧に近づくと、容量値が大きくなり、時間変化に対する振幅値の減少の割合は小さくなる（波形は鈍ってくる）。この第19図は、遅延回路のインバータの立ち下り波形を、本発明と、第15図の従来の構成と比較して説明するための図であり、横軸は時間、縦軸は
- 20    電圧を表している。

- 第1図において、インバータINV1の出力信号の立ち下り時の遅延パスとして、インバータINV1のNMOSトランジスタMN101がオンし、一端が電源VDDに接続された容量素子（PMOSキャパシタMP103）の他端（ゲート端子）には、電源GND側から抵抗R1を介して、負の電荷（ $-Q$ ）が蓄積され、電源VDD端子側には電荷（ $+Q$ ）が蓄積される。容量素子（PMOSキャ
- 25    パシタMP103）の一端は電源電圧VDDとされ、容量素子の容量値をC（ここでは時不変で近似する）、他端（ゲート端子）の端子電圧をV、NMOSトランジスタMN101に流れる電流値をIとすると、

$$+Q = C \times (VDD - V) \text{ となり、}$$

$V = R1 \times I$ 、 $dQ/dt = I$  より、

$$R1 \times C (dV/dt) + V = 0$$

(ただし、 $t = 0$  で、 $V = VDD$ )

が成り立ち、容量素子の他端 (PMOS キャパシタ MP 103 のゲート端子)

## 5 の立ち下がり波形

$$V = VDD \times \exp \{-t / (R1 \times C)\}$$

が求められる。この例では、インバータ INV 1 の出力端とグランド電源 GND 間の寄生容量 (stray capacitor) は無視されている。

また、インバータ INV 2 の出力信号の立ち上がり波形は、遷移の最初に、時  
10 定数は小さく、時間変化に対する振幅値の増大の割合は大きく (傾き大)、電源電圧 VDD に近づくと、容量値、したがって時定数が大きくなり、時間変化に対する振幅値の増加の割合は小さくなる (波形は鈍ってくる)。

第 1 図に示した構成と比較して、第 15 図の構成の場合、インバータ JV 1 の  
出力信号電圧の電源電位 VDD からグランド電圧への立ち下り遷移において、M  
15 OS キャパシタ JN 1 のゲート電圧は、電源電位からグランド電圧に遷移し、MOS キャパシタ JN 1 は反転状態から空乏状態に変化し、その容量値は、インバータ JV 1 の出力信号電圧の低下にしたがって小さくなる。インバータ JV 1 の出力信号の立ち下り波形は、第 19 図に b として示すように、遷移の最初にその  
20 時定数は大きいことから傾きは緩やかであり、グランド電圧 GND に近づくとつれ、容量値が小さくなり、時間変化に対する振幅値の減少の割合は大きくなる。

本発明の第 1 の実施例では、インバータ INV 1 の出力信号の立ち下り波形の  
遷移の最初に時定数は、該遷移の終わりの方と比べて小さく、立ち下りの傾きは  
急であるため、遷移の開始から、インバータ INV 1 の出力信号の立ち下りを受  
ける次段のインバータ INV 2 の PMOS トランジスタ MP 102 の閾値  $V_{thp}$   
25  $h$  を超えるまでに要する時間  $t_A$  (第 19 図参照) は、遷移の始めに時定数が大きい場合と比べて、早まる。なお、次段のインバータ INV 2 の PMOS トランジスタ MP 102 は、前段の抵抗 R1 と MOS キャパシタ MP 103 のゲートとの接続点の電圧が、 $VDD - |V_{thp}|$  以下となると、オン状態となり、MOS キャパシタ MN 103 の充電を開始する。また、インバータ INV 2 の出力信

号の立ち上がり波形は、遷移の最初の時定数が、該遷移の終わりの方と比べて小さく、遷移の開始から、出力信号電圧が所定のレベル（例えば論理閾値電圧）を超えるまでの時間は、最初時定数が大きい場合と比べて、早まる。一方、第15図の構成の場合、インバータJ V 1の出力信号の立ち下り波形の遷移の最初の時定数は、該遷移の終わりの方と比べて大きく傾きは緩やかであるため、遷移の開始から、インバータI N V 2を構成するP M O Sトランジスタの閾値 $V_{tp}$ を超えるまでの時間（第19図の $t_B$ 参照）は、遷移の始めに時定数が小さい場合と比較して、遅くなる。

本発明の第1の実施例において、インバータI N V 1の出力信号の立ち下り波形が遷移の最初に急減に立ち下がることにより、該インバータの出力信号が閾値 $V_{tp}$ を超えるまでの時間が短いことは、電源電圧V D Dが低下した場合に、遅延時間の増大の抑止効果に、より有効に利いてくる。この作用効果も、本実施例の作用効果の特徴の1つをなしている。

そして、本発明の第1の実施例においては、電源電圧V D Dが低下し、インバータを構成するM O Sトランジスタの駆動電流が減少して見かけ上、オン抵抗 $r_{on}$ が増大すると、M O SキャパシタM P 1 0 3、M N 1 0 3の容量値が相対的に減少し、これにより、遅延量の増大を抑制するようにしている。すなわち、M O Sキャパシタのゲート電圧 $V_g$ の振幅は電源電圧V D Dとされ、電源電圧V D Dの低下により、M O Sキャパシタのゲート電圧が電源電圧のときの閾値電圧 $V_t$ との比が小さくなり、M O Sキャパシタの容量が減少する。例えばN M O Sキャパシタのゲート電圧が $3V_t$ から $2V_t$ となった場合、M O Sキャパシタの容量値は減少し、インバータのトランジスタのオン抵抗とM O Sキャパシタからなる時定数は、電源電圧低下時にも、M O Sキャパシタの容量値が小さくなることから、その増大が抑止されており、遅延時間の増大が抑止される。この作用効果も、本実施例の作用効果の特徴の1つをなしている。

このようにして、本発明の第1の実施例の遅延回路は、インバータI N V 1の入力信号の立ち上がりの遷移エッジに対して、電源電圧V D Dの低下に対する、遅延時間の増大を抑制している。

さらに、この実施例では、第18図に示した構成と同様、第1のインバータI

NV1のNMOSトランジスタMN101を閾値電圧 $V_{thn}$ が低く設定されており、第1のインバータINV1のNMOSトランジスタMN101を閾値電圧 $V_{thp}$ が低く（絶対値 $|V_{thp}|$ が小さく）設定されている。

かかる構成により、電源電圧VDDの低下に対して、第1のインバータINV1の入力閾値を下げ、第2のインバータINV2の入力閾値を上げており、電源電圧VDDの低下に対して、入力信号のhighレベルへの立ち上がり遷移の遅延を、入力信号のlowレベルへの立ち下がり遷移に対して、相対的に短くしている。このため、入力信号のhighレベルへの立ち上がりの遅延時間の電源電圧依存性を抑制している。

インバータの出力部の信号の遷移によって、オフ状態からオン状態となるMOSキャパシタと、インバータの入力閾値の制御により、第1図に示した遅延回路は、入力信号のlowレベルからhighレベルへの立ち上がり遷移の遅延時間の電源電圧依存性（電源電圧の低下で遅延時間が増大するという特性）が抑制され、電源電圧の低下に対する遅延時間の感度（依存性）を示す傾きは、かなり、平坦なものに制御されている。この作用効果も、本実施例の作用効果の特徴の一つである。

さらに、本実施例では、第1のインバータINV1の出力とMOSキャパシタMP103のゲート端子との間に、抵抗R1を備えており、第2のインバータの出力とMOSキャパシタMN103のゲート端子との間に抵抗R2を備えている。抵抗Rと容量CからなるCR回路の出力は、抵抗Rと容量Cの時定数 $t\tau (=RC)$ に従って遷移する。

このCR回路の立ち上がり信号波形は、

$$\text{振幅} \times \{1 - \exp(-t/t\tau)\}$$

立ち下がり信号波形は、

$$\text{振幅} \times \exp(-t/t\tau)$$

とされる。

ここで、抵抗値Rは、電源電圧VDDによらず一定であることから、使用する振幅を小さくすると、あるレベル、例えば論理閾値に達するまでに要する遅延時間も短縮する。これは、例えばCR回路の立ち上がりあるいは立ち下り信号波形

の遷移における遷移開始点と遷移終了点（あるいはhighレベルとlowレベルに対応する2つのポイント）を直線で結んで近似した場合、振幅が $1/2$ となれば、遷移時間も $1/2$ となることから、明らかである。すなわち、電源電圧VDDの低下に対して、1段目のインバータINV1の立ち下り時間 $t_r$ 、2段目のインバータINV2の立ち上がり時間 $t_f$ を短縮しており、電源電圧VDDの低下に対して、遅延回路における入力信号の立ち上がりから出力信号の立ち上がりまでの伝搬遅延時間 $t_{pd}$ を短縮させている。

次に、この実施例で用いられる抵抗R1、R2について説明しておく。抵抗R1、R2としては、例えば、基板表面の不純物拡散層よりなる拡散抵抗が用いられる。P型基板あるいは、ウェル内に設けられるn型拡散層、あるいはn<sup>-</sup>拡散層（例えば、不純物濃度が高精度に制御されているLDD（Lightly Doped Drain）領域と同一の不純物濃度）が用いられる。

電源電圧の変動（低下）に対する遅延回路の伝搬遅延時間 $t_{pd}$ のばらつきを小さくするには、インバータの出力部に接続される抵抗（R1、R2）を高抵抗とすればよい。一方、高抵抗を拡散抵抗で実現する場合、その面積が増大する。抵抗（R1、R2）の抵抗値は、低電圧化させる電源電圧の範囲と、遅延時間の設定遅延量、及びその変動の程度等に基づき、設定されるが、実用上、抵抗値は、インバータのMOSトランジスタのオン抵抗と同程度の数十キロオームとするか、あるいは数メガオーム程度としてもよい。トランジスタのオン抵抗と同程度の抵抗値とした場合、トランジスタの拡散層と同じ程度の面積で作成され、チップ面積の増大が抑止される。

次に、本発明の遅延回路の別の実施例について説明する。第2図は、本発明の第2の実施例に係る遅延回路の構成を示す図である。第2図において、第1図と同一の構成要素には、同一の参照番号が付されている。本発明の第2の実施例は、第1図に示した実施例の遅延回路に、遅延パスとは別にリセット回路を設けたものである。すなわち、第2図を参照すると、ソースが電源VDDに接続され、ドレインが抵抗R1とMOSキャパシタMP103のゲートとの接続点に接続され、入力信号をゲートに入力するPMOSトランジスタMP104と、入力信号を入力しその反転信号を出力するインバータINV01と、ソースがGNDに接

続され、ドレインが抵抗 $R_2$ とMOSキャパシタ $MN_{103}$ のゲートとの接続点に接続され、インバータ $INV_{01}$ の出力信号をゲートに入力するNMOSトランジスタ $MN_{104}$ とを備えている。

この実施例では、前記第1の実施例と同様、端子 $IN$ に入力される入力信号が  
5  $low$ レベルから $high$ レベルに立ち上がると、出力端子 $OUT$ からの出力信号が遅延して立ち上がる。そして、電源電圧 $VDD$ の低下に対して、入力信号の $low$ レベルから $high$ レベルへの立ち上がりに対する、出力信号の $low$ レベルから $high$ レベルへの立ち上がりまでの伝搬遅延時間は短縮される。一方、電源電圧 $VDD$ の低下に対して、入力信号の $high$ レベルから $low$ レベル  
10 への立ち下がりに対する、出力信号の $high$ レベルから $low$ レベルへの立ち上がりまでの伝搬遅延時間は短縮されず、通常通り、増加する。

本発明の第2の実施例の動作について説明する。この実施例では、入力信号が立ち下がると、リセットパスを介して、インバータ $INV_1$ の出力をリセットする。すなわち、入力信号が $high$ レベルから $low$ レベルに立ち下がると、ゲート  
15 電位が $low$ レベルとなったトランジスタ $MP_{104}$ が導通し、インバータ $INV_1$ の遅延なく、ただちに、MOSキャパシタ $MP_{103}$ のゲート電位（インバータ $INV_2$ の入力端）を電源電圧 $VDD$ とする。

また、インバータ $INV_1$ 、 $INV_2$ の遅延パスを経由せず、リセットパスを介して、ただちに、出力端子 $OUT$ をグランド電圧 $GND$ とする。すなわち、  
20 入力信号が $high$ レベルから $low$ レベルに立ち下がると、インバータ $INV_{01}$ の電位が $high$ レベルとなり、トランジスタ $MN_{104}$ が導通し、出力端子 $OUT$ を放電してグランド電圧 $GND$ にリセットする。

この実施例では、かかる構成により、入力端子 $IN$ に入力されるパルス信号が立ち下がってから、直ちに次のパルス信号が入力される場合にも、遅延回路は、  
25 2つの連続するパルス信号の立ち上がりエッジをそれぞれ遅延させて出力することができ。

一方、リセット回路を備えていない第1図に示した前記実施例の遅延回路においては、入力信号の立ち下がりに対してその出力信号は、第3図に、破線で示すように、遅延して出力され、入力信号の立ち下がりのタイミングから、この破線

に対応するタイミングの間に、入力端子INに立ち上がり遷移を有する2番目のパルス信号が入力された場合、当該2番目のパルス信号の立ち上がりの直前でインバータINV1、INV2の出力部は、それぞれ、電源電圧VDD、グランド電圧GNDに設定されていず、2番目のパルス信号の立ち上がりエッジを、本来の遅延量分、遅延させて出力することができない場合がある。

これに対して、本発明の第2の実施例の遅延回路においては、入力信号の立ち下がり、遅延パスとは独立したリセット回路により、インバータINV1、INV2の出力ノードをリセットしているため、遅延回路に先行のパルス信号が入力されてから次のパルス信号が入力されるまでの時間間隔の短縮を図っている。

次に、本発明の第3の実施例について説明する。第4図は、本発明の第3の実施例の構成を示す図である。第4図を参照すると、この第3の実施例は、第1のインバータINV1の出力端に一端が接続された抵抗R1の他端と電源VDD間に接続されたPMOSキャパシタMP203と、抵抗R1の他端とグランド電源GND間に接続されたNMOSトランジスタMN203と、第2のインバータINV2の出力端に一端が接続された抵抗R2の他端と電源VDD間に接続されたPMOSキャパシタMP204と、抵抗R2の他端とグランド電源GND間に接続されたNMOSトランジスタNM204と、を備えている。

本発明の第3の実施例では、前記実施例と同様、入力信号のlowレベルからhighレベルへの立ち上がりの遷移エッジに対する遅延パスが、電源電圧の低下に対して遅延時間が短縮するという逆感度特性を有することに加え、入力信号のhighレベルからlowレベルへの立ち下がるの遷移エッジに対しても、電源電圧の低下に対して逆感度特性を有する遅延パスが用意されている。すなわち、入力信号のhighレベルからlowレベルへの立ち下がるの遷移エッジに対して、インバータINV1の出力端に接続される抵抗R1とNMOSトランジスタMN203、インバータINV2の出力端に接続される抵抗R2とPMOSトランジスタMN204の遅延パスにより、電源電圧の低下に対する遅延時間の増大を抑止している。

そして、本発明の第3の実施例では、インバータINV1を構成するNMOSトランジスタMN201とPMOSトランジスタMP201はともに低い閾値電

圧とされている。インバータ INV 2 を構成する NMOS トランジスタ MN 2 0 2 と PMOS トランジスタ MP 2 0 2 も、ともに低閾値電圧とされている。

本発明の第 3 の実施例は、かかる構成により、入力信号の立ち上がり、立ち下りのいずれの遷移に対しても、電源電圧 VDD の低下に対して、遅延時間は増大せず、短縮されるという逆感度特性（「逆特性」ともいう）を有する。

次に、本発明の第 4 の実施例について説明する。第 5 図は、本発明の第 4 の実施例の遅延回路の構成を示す図である。第 5 図において、第 4 図と同一の構成要素には、同一の参照番号が付されている。なお、第 5 図では、インバータ 4 段の構成が示されているが、本発明はかかる構成に限定されるものではない。本発明の第 4 の実施例は、第 4 図に示した前記第 3 の実施例の構成に対して、遅延パスとは別に、リセット回路を追加したものである。以下では、前記第 4 の実施例との相違点をなすリセット回路の構成について説明する。

第 5 図を参照すると、リセット回路は、高位側の電源 VDD と第 1 のインバータ INV 1 の MOS トランジスタ MP 2 0 1 のソースとに、ソースとドレインとがそれぞれ接続され、チップセレクト信号（CS<sup>—</sup>：low レベルでアクティブ）をゲートに入力する PMOS トランジスタ MP 2 0 7 と、インバータ INV 1 の出力端と抵抗 R 2 の一端との接続点とグランド電源 GND とにドレインとソースがそれぞれ接続され、チップセレクト信号（CS<sup>—</sup>）をゲートに入力する NMOS トランジスタ MN 2 0 7 と、インバータ INV 2 の MOS トランジスタ MN 2 0 2 とグランド電源 GND とにドレインとソースがそれぞれ接続され、チップセレクト信号の反転信号（CS；信号 CS<sup>—</sup>を反転した信号）をゲートに入力する NMOS トランジスタ MN 2 0 8 と、を備えている。後段のインバータ INV 3、INV 4 についても同様の構成とされる。

次にリセット回路の動作について説明する。チップセレクト信号（CS<sup>—</sup>）が low レベルのとき、PMOS トランジスタ MP 2 0 7 がオンし、インバータ INV 1 が電源 VDD に接続され、NMOS トランジスタ MN 2 0 8 がオンし、インバータ INV 2 が電源 GND に接続される。チップセレクト信号（CS<sup>—</sup>）が low レベルから high レベルに遷移すると、PMOS トランジスタ MP 2 0 7 がオフし、インバータ INV 1 は電源 VDD と非導通とされ、NMOS トラン

ジスタMN208がオフし、インバータINV2が電源GNDと非導通とされる。このとき、NMOSトランジスタMN207がオンし、インバータINV1の出力はグランド電圧とされる。インバータINV3とインバータINV4の組も、インバータINV1とインバータINV2の組と同様にリセットされる。

- 5 次に、本発明の半導体記憶装置の実施例について説明する。第6図は、本発明の半導体記憶装置の第1の実施例の構成を示す図である。

第6図を参照すると、この半導体記憶装置は、アドレス信号、データ信号、制御信号等を入力とし、データ等を出力する周辺回路部10と、セルコア部（周辺回路を除くメモリセルコア部）20とを備えている。セルコア部20のワード線とビット線の交差部にメモリセル200を備えている。メモリセル200は1トランジスタ1キャパシタ構成とされ、ゲートがワード線201に接続され、ソースとドレインの一方がビット線202に接続されたNMOSトランジスタ203をセルトランジスタとして備え、トランジスタ203のドレインとソースの他方は、容量204の一端に接続され、容量204の他端は、例えばハーフVCC方式に従って $1/2 V_{DD}$ （電源電圧の $1/2$ ）に接続されている。なお、容量204の他端をグランド電源に接続してもよいことは勿論である。

この発明の半導体記憶装置の一実施例において、周辺回路部10の遅延回路11は、例えば前記第1乃至第4の実施例の構成が用いられる。すなわち、周辺回路部10からセルコア部20に供給される制御信号の立ち上がり（あるいは立ち下り）の遷移タイミング、あるいは、制御信号のパルス幅を規定する立ち下り（あるいは立ち上がり）の遷移タイミングを生成するための遅延信号を出力する遅延回路は、電源電圧の低下に対して遅延時間が減少する逆感度特性を示す遅延回路からなる。

遅延回路11に入力される信号 $\phi p$ と遅延回路11の出力を入力とする論理回路12の演算結果に基づき、例えば選択されたワード線15を駆動するワード線ドライバ13への入力信号が生成される。同様にして、メモリセルコア20のデータ線16（ビット線）に接続されるセンスアンプ14の活性化を制御する信号、ビット線のプリチャージを制御する信号も、それぞれに用意されている遅延回路（不図示）の出力に基づき生成される。これらの遅延回路も、電源電圧の低下

に対して遅延時間が減少する逆感度特性を示すものとされる。

ワード線を駆動するドライバ13は、昇圧回路40からの昇圧電圧VB00STで駆動され、ワード線ドライバ13に入力される信号がアクティブのとき、ワード線15を高電圧にドライブする。昇圧電圧VB00STと電源電圧VDDとの差電圧  
5 が大きいほど、セルコア部20のメモリセルトランジスタ203は高速化するが、消費電流が増大する。したがって、このままでは、スタンバイ時の低消費電流化を図る構成には適さない場合がある。この実施例の半導体記憶装置では、後述するように、周辺回路部10やセルコア部20は、好ましくは、低電圧の電源電圧で駆動される。

10 本発明の半導体記憶装置の一実施例においては、電源電圧に依存しない基準電圧Vrefを生成するリファレンス電源回路30と、基準電圧Vrefに基づき電源電圧に依存しない昇圧電圧を生成するブースト回路40とを備えている。ブースト回路40からの昇圧電圧VB00STがワード線ドライバ13に供給され、ワード線には、電源電圧に依存しない一定の昇圧電圧が供給される。

15 昇圧電圧VB00STを電源電圧の高低に依存しない定電圧としていることは、この実施例の半導体記憶装置の主たる特徴の1つをなしている。

また、この実施例の半導体記憶装置において、周辺回路部10と、セルコア部20、リファレンス電源30、ブースト回路40には、電源電圧VDDが供給される。この実施例において、半導体記憶装置の電源端子に供給される電源電圧V  
20 DDは低電源電圧とされており、半導体記憶装置内部では、降圧した内部電源電圧VINTは用いていない。

そして、第6図に示すように、周辺回路部10とセルコア部20を低電圧の電源電圧VDDで駆動し、所望のアクセス速度を実現していることは、この実施例に係る半導体記憶装置の主たる特徴の1つをなしている。

25 すなわち、この実施例の半導体記憶装置では、セルコア部20の低電源電圧で駆動する場合にも、セルコア部20のワード線201とビット線202の交差部のNMOSTランジスタ203において、選択されたワード線201に接続されるゲートには、電源電圧に依存しない一定電圧が供給されており、低電源電圧で駆動するときの昇圧電圧VB00STと電源電圧VDDとの差電圧は、大きく設定さ

れることになる。

この結果、この実施例の半導体記憶装置では、低電圧の電源電圧でセルコア部 20 を駆動している場合にも、メモリセルトランジスタ 203 の高速化が図られるとともに、セルトランジスタ 203 の出力に一端が接続されるセル容量 204 には、必要な書き込み電圧が印加されることになる。

第 9 図は、本発明に係る半導体記憶装置における昇圧電圧  $V_{B00ST}$  と電源電圧  $V_{DD}$  の関係を説明するための図である。第 9 図に示すように、本発明に係る半導体記憶装置の実施例においては、昇圧電圧  $V_{B00ST}$  は、電源電圧  $V_{DD}$  の高低に依存せず一定とされ、電源電圧  $V_{DD}$  が低電圧のとき、電源電圧  $V_{DD}$  とのレベル差は、高い電源電圧で駆動するときよりも大きくなる。

電源電圧  $V_{DD}$  が高電圧のとき、昇圧電圧  $V_{B00ST}$  と電源電圧  $V_{DD}$  のレベル差は、高い電源電圧で駆動するときよりも小さくなるが、電源電圧の使用電圧範囲の上限において、昇圧電圧  $V_{B00ST}$  として、電源電圧  $V_{DD} + V_t$  (ただし、 $V_t$  は NMOS トランジスタの閾値電圧) 程度あるいはこれ以上は確保されている。

第 6 図に示した実施例において、ロウアドレスをデコードし選択されたワード線を駆動する X デコーダ、カラムアドレスをデコードし選択されたビット線の Y スイッチをオンする Y スイッチセクタ、ビット線電位を増幅するセンスアンプ 14 等からなる周辺回路 10 及びセルコア部 20 の電源電圧  $V_{DD}$  が低電圧化された場合にも、メモリセルトランジスタのゲート等、セルコア部 20 に供給される昇圧電圧は、電源電圧に依存しない一定電圧が供給される。

第 7 図は、第 6 図に示した非同期型のダイナミック RAM のタイミング動作を説明するための図である。メモリサイクルのアドレスの遷移が、図示されないアドレス遷移検知回路で検出され、ATD 信号がアクティブとされ、この ATD 信号、アドレス信号のデコード結果、及び、メモリのアクセスを制御する図示されない制御信号 (例えばチップ選択信号、ライトイネーブル信号) 等に基づき、ロウアドレスを活性化させるストロブ信号  $\phi_p$  (エッジ、又はパルス信号) が生成される。第 7 図のタイミング図において、例えばメモリサイクルの開始からワード線の立ち上がりまでの時間は、周辺回路部 10 のアクセス時間 (遅延時間)

とされ、それ以降は、セルコア部20のアクセス時間（遅延時間）とされる。

論理回路12は、この信号 $\phi p$ と、信号 $\phi p$ を遅延回路11で遅延させた信号との論理演算（例えばAND演算）をとり演算結果を出力する。AND演算の場合、信号 $\phi p$ の立ち上がりの遷移エッジと、その遅延信号の立ち上がりの遷移エッジでパルスの立ち上がりと立ち下りが規定される信号が出力される。この論理回路12の出力信号に基づき、ワード線ドライバ13は、ワード線を駆動し、ワード線の立ち上がり、あるいは、立ち下り（パルス幅）が制御される。同様に  
5 して、ビット線16に読み出された信号を増幅するセンスアンプ14の活性化を制御する信号 $\phi SE$ 、あるいは、図示されないYスイッチイネーブル信号、ビット  
10 線を $1/2 VDD$ にプリチャージする制御信号等が生成される。選択されたビット線の振幅の高位側はセンスアンプ14によって電源電圧 $VDD$ にまで増幅される。またダイナミックランダムアクセスメモリのリフレッシュ動作は、センスアンプ14で読み出され増幅されたビット線の電圧がメモリセルへ書き戻されることで行われる。

第6図の遅延回路11に、前記第1乃至第4の実施例の構成を用いた場合、周辺回路部の電源電圧 $VDD$ として低電圧の外部電源電圧を用いた場合、遅延回路11の遅延時間は、高い電源電圧で駆動した場合よりも短縮され、昇圧電圧レベルに駆動されたワード線の立ち上がり遷移タイミング、及びパルス幅の遅延、センスアンプ14の活性化信号 $\phi SE$ のパルスの遷移タイミング、及びパルス幅等  
20 の遅延は増大せず、セルコア部のアクセス時間は短縮される。

一方、周辺回路部10の一般の論理回路の遅延時間は、電源電圧の低下により増大する特性を有しており、周辺回路部10が低電圧の電源電圧 $VDD$ で駆動されていることから、高い電源電圧で駆動する場合よりも、そのアクセス時間は、従来の技術で説明した通り、多少増大している。この結果、セルコア部20の遅延（増大）と周辺回路部10の遅延（短縮）とを合わせた総合の遅延時間 $t_d$ は  
25 、低電圧の電源電圧 $VDD$ で駆動した場合、その増加量は抑止されている。

第8図は、本発明の一実施例の昇圧電圧 $VB00ST$ の生成回路の構成を示す図である。第8図を参照すると、第6図のリファレンス電源回路30として、温度、電源電圧の変化によらずに一定の基準電圧 $V_{ref}$ を出力するバンドギャップ・

リファレンス (band-gap-reference) 回路 30 を備えている。バンドギャップ・リファレンス回路 30 は、基準電圧  $V_{ref}$  として、例えば  $V_{ref} = V_{BE} + K \times V_T$  (ただし、 $K$  は定数、 $V_{BE}$  はバイポーラトランジスタのベース・エミッタ間電圧、 $V_T (= kT/q)$  は熱電圧であり、 $q$  は電子の単位電荷、 $k$  はボルツマン定数、 $T$  は絶対温度である) を出力する。そして、バンドギャップ・リファレンス回路 30 から出力される基準電圧  $V_{ref}$  と、昇圧電圧  $VB00ST$  を分圧抵抗  $R11$  と  $R12$  で分圧した電圧とを電圧比較するコンパレータ回路 41 と、コンパレータ回路 41 での比較結果を受け、分圧電圧が基準電圧  $V_{ref}$  よりも小であることを比較結果が示している場合に、チャージポンプを充電し昇圧を行うブースト回路 40 とを備えている。ブースト回路 40 は電源電圧  $VDD$  に依存しない基準電圧  $V_{ref}$  に基づき昇圧電圧を生成しており、このため、出力される昇圧電圧  $VB00ST$  は、電源電圧  $VDD$  の高低の変化に依存しない定電圧とされる。

昇圧電圧  $VB00ST$  は、第 6 図のワード線ドライバ 13 等の駆動電源電圧として供給され、選択されたワード線は電源電圧に依存しない昇圧電圧で駆動される。電源電圧  $VDD$  の低下に対して、ワード線に供給される電圧は、電源電圧  $VDD$  が高いときと同一に保たれ、電源電圧の低下によるメモリセルのアクセス速度の低下が抑止される。

かかる構成により、本実施例の半導体記憶装置では、電源電圧に低位電圧動作時にも、選択ワード線等の昇圧電圧は電源電圧に依存せず一定とされている。このため、メモリセルのアクセス時間の増大は抑止されている。

そして、本実施例では、基準信号から生成される制御信号の遅延時間、パルス幅等を決定する遅延回路は、低電圧動作時、第 11 図に示すように、その遅延時間  $t_{pd}$  は短縮する逆感度特性の傾向にある。この明細書では、電源電圧の低下に対して遅延時間が短縮する特性を「逆特性」という。一方、電源電圧の低下に対して遅延時間が増大する特性を「順特性」という。その結果、低電圧時、セルコア部 20 の遅延時間は短縮する。低電圧時に遅延時間の増大する一般論理系の周辺回路部 10 の遅延時間を増大しても、セルコア部 20 の遅延時間の縮減により、両方を合わせた遅延時間の増大は抑止されている。

ているダイナミックRAM（「疑似SRAM」ともいう）に、本発明を実施した場合、スタイバイ動作時のプロセッサからメモリへのアクセスの時間の短縮を図ることができる。プロセッサあるいはコントローラは、このメモリを、SRAMとして扱うため、その制御は、ダイナミックRAMのリフレッシュ動作等には関

5 知しない。ダイナミックRAMは、ダイナミックRAM内で定期的に自動リフレッシュを行う。プロセッサあるいはコントローラからのメモリアクセスとダイナミックRAM内のリフレッシュとが重なった場合、リフレッシュが行われ、その後、該当セルのメモリアクセスが行われる。この場合、本実施例において、リフレッシュ動作における、ビット線のプリチャージ開始とその停止を制御する信号

10 、選択ワード線の立ち上がり立ち下がり制御信号、センスアンプの活性化を制御する信号の遷移エッジのタイミング及びパルス幅等の各時間は、低電源電圧動作でも増大せず、逆に短縮する。この結果、リフレッシュ動作時間は短縮し、消費電流の縮減が図られ、後続のアクセスの待ち時間が短縮され、アクセス速度が向上する。

15 次に、本発明のさらに別の実施例について説明する。第1図乃至第5図、第6図等示した各実施例では、電源電圧VDDが低電圧化されているため、電源電圧を降圧せずに、そのまま半導体装置内部の電源電圧として用いている。しかしながら、本発明はかかる構成に限定されるものでないことは勿論である。第13図は、本発明の遅延回路の第5の実施例の構成を示す図である。第13図において、第1図と同一の要素には同一の参照符号が付されている。第13図を参照すると、この実施例は、電源端子に供給される電源電圧VDDを、降圧回路（内部電源レギュレータ）50で降圧して降圧電源電圧（内部電源電圧）VINTを生成し、降圧した電源電圧VINTを、インバータINV1、INV2の高位側の電源電圧として供給している。内部電源電圧VINTが低電圧の場合にも、この

20 遅延回路は、入力信号の立ち上がりエッジの遅延時間を、電源電圧VDDで駆動する場合よりも、短縮することができる。このため、スタンバイ等、低電源電圧駆動時の消費電流を縮減することができる。

第14図は、本発明の半導体記憶装置の別の実施例の構成を示す図である。第6図に示した実施例では、周辺回路部10とセルコア部20が電源電圧VDDで

信号は、該制御信号のタイミングを生成する遅延回路の逆特性により、その遅延は、低電圧駆動の場合よりも、多少増大している。このため、セルコア部のアクセス時間は、低電圧駆動の場合よりも、若干増大する（第12図のH2のハッチングを施した部分）。また、セルコア部のアクセス時間は、比較例H1のアクセス時間よりも遅い。

一方、電源電圧VDDが高い場合、周辺回路部は高速化し、周辺回路部とセルコア部との遅延の合計で全体のアクセスが決められる。この場合、本発明の構成をとらない比較例H1よりも、アクセス時間は長くなっている（第12図のH2）。

本発明においては、低電圧駆動により、電源電圧が低くなると、昇圧電圧は一定であり、制御信号は逆特性により、遅延時間は、高電圧駆動の場合よりも減少するため、セルコア部のアクセス時間は、高電圧駆動の場合（H2）よりも、減少している。これが、本発明の大きな特徴の1つである。

低電圧駆動により、周辺回路部の論理回路の動作速度は低下し、アクセス速度は増大するが、セルコア部と周辺回路部との全体のアクセス時間は、高電源電圧の場合と比較して、わずかに遅くなるだけである。比較例のように低電圧動作により、アクセス時間が特段に遅くなることが回避され、低消費電力化を図りながら、一定のアクセス速度を実現している。

本発明においては、セルコア部を低電源電圧、周辺回路部を低電源電圧で駆動する電源供給形態以外にも、後述するように、セルコア部を低電源電圧、周辺回路部を高電源電圧で駆動してもよい。この場合、逆特性の遅延回路は、低電源電圧で駆動される。

本発明の半導体装置の設計方式は、バッテリー駆動による低電源電圧駆動、低消費電力化を実現するメモリに用いて好適である。

また低電源電圧によってもセルコア部の制御信号の遅延量が増大しないため、スタンバイ状態等で自動リフレッシュ動作を行うメモリに用いた場合に、リフレッシュ時間の短縮を実現しており、アクセス、メモリサイクルの高速化を実現している。

より詳細には、携帯機器に搭載され、スタティックRAMに外部仕様が準拠し

## 産業上の利用可能性

以上説明したように、本発明の半導体記憶装置及び制御方法によれば、インバータの出力部に抵抗の一端を接続し、抵抗の他端と電源間にインバータの出力の電源側から他の論理への遷移の応じて容量値が小から大に変化する容量素子を備えたことにより、低電圧の電源電圧で駆動するときに、遅延回路の遅延時間の増大を抑止、低減しており、低電圧駆動のメモリに適用して好適とされる。本発明によれば、遅延回路を低電源電圧で駆動する場合に、高電源電圧で駆動する場合よりも、遅延回路の遅延時間を短縮させることができる、という効果を奏する。

本発明によれば、遅延回路において、インバータの出力部に抵抗の一端を接続し、抵抗の他端と電源間にインバータの出力の電源側から他の論理への遷移に応じて、オフからオンするMOSキャパシタを備え、このインバータの出力部をリセットする回路を備えたことにより、遅延回路への入力パルス列のパルス間隔にタイミング余裕を与え、タイミング設計の自由度を広げている。

また、本発明の半導体装置によれば、低い電源電圧で駆動したときに、遅延回路によって生成されるエッジ、パルス幅の信号の遅延時間の増大が抑止され、消費電力の低下を図りながら、動作速度の低減を抑止することができる、という効果を奏するものであり、低電圧駆動のLSI等に適用して好適とされる。

本発明の半導体記憶装置によれば、昇圧電圧を電源電圧に依存しない定電圧としたことにより、セルコア部を低い電源電圧で駆動したときに、メモリセルアレイでの正常動作を確保しながら、その遅延の増大を防止し、消費電力の低下を図りながら、アクセス速度の低減を抑止することができる、という効果を奏する。

本発明の半導体記憶装置によれば、低い電源電圧で駆動したときに、遅延回路の遅延信号に基づき生成される制御信号の遷移エッジの遅延時間の増大が抑止され、セルコア部の遅延の増大を抑止し、消費電力の低下を図りながら、アクセス速度の低減を抑止することができる、という効果を奏する。

さらにまた、本発明の半導体記憶装置によれば、周辺回路を高電源電圧で駆動し、セルコア部を低電源電圧駆動し、遅延回路をその遅延時間を短縮させる電源電圧で駆動し、昇圧電圧を電源電圧に依存しない定電圧としたことにより、セルコア部を低電源電圧駆動した場合の遅延の増大を抑止し、周辺回路部を高速動作

駆動されている。これに対して、本実施例は、2電源系方式とされ、周辺回路部10には、半導体記憶装置の電源端子に外部から供給される電源電圧VDDがそのまま供給され、セルコア部20には、電源電圧VDDを降圧回路（内部電源レギュレータ）50で降圧した内部電源電圧VINTを供給している。昇圧電圧VBOOSTを生成するリファレンス電源30、ブースト回路40にも、内部電源電圧VINTが供給される。

この実施例において、遅延回路11Aは、第13図に示した構成とされるか、あるいは、第2図、第3図、第4図等に示した構成において高位側の電源電圧を、内部電源電圧VINTとしたものである。信号φpは、周辺回路部10Aと別電源系の遅延回路11A（電源電圧と遅延時間は第11図の逆特性を有する）に供給され、遅延回路11Aの出力信号が、電源電圧VDD系の周辺回路部10内の論理回路12Aに入力される。

この実施例では、周辺回路部10Aは、内部電源電圧VINTよりも高い電源電圧VDDで駆動されるため、周辺回路部10Aのアクセス速度を高速化している（ただし、消費電流は増す）。

また、この実施例では、逆特性を有する遅延回路11Aを内部電源電圧VINTで駆動して遅延時間を電源電圧VDDで駆動する場合よりも短縮している。

さらに、この実施例では、セルコア部20を内部電源電圧VINTで駆動することで、低消費電力化を図っている。

この実施例でも、セルコア部20に供給される昇圧電圧は電源電圧に依存しない一定電圧が供給される。

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例に限定されるものでなく、請求の範囲の各請求項の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。本発明に係る半導体装置は、例えば周辺回路とダイナミックRAMの構成にのみ限定されるものでない。遅延時間の増大が抑制されるべきパスに挿入される遅延回路として電源電圧依存性の逆特性を有する遅延回路を備え、電源電圧依存性の順特性を有する他の論理回路とを含む半導体装置を低電圧動作させるようにしてもよい。

## 請求の範囲

1. 複数のメモリセルがアレイ状に配置されてなるメモリセルアレイと、  
供給される電源電圧に依存しない定電圧を駆動電圧として入力し、選択された  
5 ワード線を前記定電圧で駆動するワード線駆動回路と、  
選択されたビット線の高位側電圧を前記電源電圧まで増幅するセンスアンプと  
、  
を備えている、ことを特徴とする半導体記憶装置。
2. 前記メモリセルがダイナミックランダムアクセスメモリであり、リフレッシュ  
10 時に、前記センスアンプで読み出され増幅された電圧が前記メモリセルへ書き  
戻される、ことを特徴とする請求の範囲第1項記載の半導体記憶装置。
3. 前記メモリセルアレイの周辺回路が、前記メモリセルアレイへの制御信号の  
遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を  
生成する回路を有し、  
15 前記信号を生成する回路が、入力された信号を遅延させる遅延回路を備え、  
前記遅延回路は、供給される電源電圧が高いときよりも低いときの方がその遅  
延時間が短くなる特性を有する遅延回路よりなる、ことを特徴とする請求の範囲  
第1項又は第2項に記載の半導体記憶装置。
4. 前記メモリセルアレイの制御線に供給される昇圧電圧として、電源電圧に依  
20 存しない定電圧を供給する回路を備えている、ことを特徴とする請求の範囲第3  
項記載の半導体記憶装置。
5. 前記周辺回路は、アドレス信号をデコードし選択されたワード線を活性化す  
るXデコーダと、  
アドレス信号をデコードし選択されたビット線のYスイッチをオンする制御を  
25 行うYスイッチセクタと、  
前記ビット線の信号を増幅するセンスアンプとの少なくともいずれか一を含み  
、  
前記周辺回路は、前記入力された信号と、前記遅延回路の出力信号との所定の  
論理演算結果に基づき、前記ワード線駆動回路への入力信号、センスアンプの活

させることで、消費電力の低下を図りながら、アクセスの高速化を達成している

。

このように、本発明によれば、アクセスの高速化と、スタンバイ電流の減少等の低消費電力化の要請に応じて、周辺回路とセルコア部を低電源電圧駆動とする

- 5 か、あるいは、周辺回路を高電源電圧駆動としセルコア部を低電源電圧駆動する等、駆動電源、消費電力の組合せの最適化を図ることができる。

が、供給される電源電圧が高いときよりも低いときの方がその遅延時間が短くなる特性を有する遅延回路を有し、

前記遅延回路は、相対的に低い電源電圧で駆動され、

前記メモリセルアレイに供給される昇圧電圧として電源電圧に依存しない基準  
5 電圧を発生する基準電圧回路と、

前記基準電圧に基づき、電源電圧に依存しない一定の昇圧電圧を供給する昇圧回路を備え、

前記メモリセルアレイは、相対的に低い電源電圧で駆動される、ことを特徴とする請求の範囲第1項記載の半導体記憶装置。

10 1 1. 前記基準電圧回路及び前記昇圧回路が、前記相対的に低い電源電圧で駆動される、ことを特徴とする請求の範囲第1項記載の半導体記憶装置。

1 2. スタティックランダムアクセスメモリ準拠のインタフェースを有し、メモリセルがダイナミックランダムアクセスメモリからなる、ことを特徴とする請求の範囲第1項乃至第11項のいずれか一に記載の半導体記憶装置。

15 1 3. 前記遅延回路が、

ソースが第1の電源に接続される第1のMOSトランジスタと、ソースが第2の電源に接続され、ゲートが前記第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続され、前記第1のMOSトランジスタと導電型が異なる第2のMOSトランジスタと、を有するインバータと、

前記インバータの出力端に一端が接続されている抵抗と、

前記抵抗の他端と前記第1又は第2の電源との間に接続されたMOSキャパシタと、

25 を含む回路ユニットを少なくとも1つ備えている、ことを特徴とする請求の範囲第3項又は第10項記載の半導体記憶装置。

1 4. 前記遅延回路において、

前記MOSキャパシタは、前記MOSキャパシタの一端が接続される前記抵抗の他端の電圧の、前記第1又は第2の電源の電源電圧のうち前記MOSキャパシタの他端が接続されている一方の電源の電源電圧側から他方の電源の電源電圧側

性化を制御する信号、ビット線のプリチャージの少なくとも1つを制御する信号を生成する回路を備えている、ことを特徴とする請求の範囲第3項記載の半導体記憶装置。

5 6. 前記メモリセルアレイと前記遅延回路と前記周辺回路とが、相対的に低い電源電圧で駆動される、ことを特徴とする請求の範囲第3項記載の半導体記憶装置

7. 前記周辺回路は電源電圧で駆動され、前記メモリセルアレイと前記遅延回路とが前記電源電圧を降圧した低い電源電圧で駆動される、ことを特徴とする請求の範囲第3項記載の半導体記憶装置。

10 8. 電源電圧に依存しない基準電圧を生成する基準電圧生成手段と、  
前記基準電圧に基づき、電源電圧に依存しない一定の昇圧電圧を生成し前記定電圧として出力する昇圧手段と、

を備えている、ことを特徴とする請求の範囲第1項記載の半導体記憶装置。

15 9. 電源電圧に依存しない基準電圧を生成する基準電圧回路と、  
前記基準電圧と、出力される昇圧電圧を分圧した分圧電圧を比較する比較回路と、

前記比較回路での比較結果を受け、前記分圧電圧が前記基準電圧よりも小であることを示す場合に、チャージポンプを充電し昇圧を行う昇圧回路と、

を備え、

20 前記昇圧回路からは、電源電圧に依存しない昇圧電圧が出力され、  
前記昇圧電圧が、前記ワード線駆動回路の電源電圧として供給され、前記メモリセルアレイの選択されたワード線には前記昇圧電圧が供給され、電源電圧の低下に対して前記ワード線に供給される昇圧電圧は電源電圧が高いときと同一に保たれ、電源電圧の低下によるメモリセルのアクセス速度の低下が抑止される、こ  
25 とを特徴とする請求の範囲第1項記載の半導体記憶装置。

10. 相対的に高い電源電圧と、相対的に低い電源電圧の複数系統を備え、  
前記メモリセルアレイの周辺回路は前記相対的に高い電源電圧で駆動され、  
前記周辺回路から前記メモリセルアレイに供給される制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路

一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、

容量値が小から大に変化する、ことを特徴とする請求の範囲第 1 3 項記載の半導体記憶装置。

19. 前記遅延回路が、

5 入力信号を入力端から入力する第 1 のインバータと、

前記第 1 のインバータの出力端に一端が接続されている第 1 の抵抗と、

前記第 1 の抵抗の他端と第 1 の電源とに一端と他端がそれぞれ接続され、前記第 1 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第 1 の容量素子と、

10 前記第 1 の抵抗と前記第 1 の容量素子との接続点が入力端に接続された第 2 のインバータと、

前記第 2 のインバータの出力端に一端が接続されている第 2 の抵抗と、

前記第 2 の抵抗の他端と第 2 の電源とに一端と他端がそれぞれ接続され、前記第 2 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する

15 第 2 の容量素子と、

を含み、

前記第 2 の抵抗と前記第 2 の容量素子との接続点を遅延信号の出力端とし、前記出力端からは、前記入力信号の遷移エッジを同相で遅延させた出力信号が出力される、ことを特徴とする請求の範囲第 1 3 項記載の半導体記憶装置。

20 20. 前記遅延回路において、

前記第 1 の容量素子は、前記第 1 の抵抗の他端に接続される前記一端の電圧が、前記第 1 の電源電圧側から前記第 2 の電源電圧側へ遷移するとき、その容量値が小から大に変化し、

25 前記第 2 の容量素子は、前記第 2 の抵抗の他端に接続される前記一端の電圧が、前記第 2 の電源電圧側から前記第 1 の電源電圧側へ遷移するとき、その容量値が小から大に変化する、ことを特徴とする請求の範囲第 1 9 項記載の半導体記憶装置。

21. 前記遅延回路において、

前記第 1 の抵抗の他端と前記第 2 の電源とに一端と他端がそれぞれ接続され、

への遷移により、容量値が小から大に変化する、ことを特徴とする請求の範囲第

13項記載の半導体記憶装置。

15. 前記遅延回路において、

5 前記MOSキャパシタには、前記抵抗の他端の電圧の、前記第1又は第2の電  
源の電源電圧のうち前記MOSキャパシタが接続されている一の電源の電源電圧  
側から他の電源の電源電圧側への遷移に従って、空乏層や反転層が形成される、  
ことを特徴とする、ことを特徴とする請求の範囲第13項記載の半導体記憶装置  
。

16. 前記遅延回路において、

10 前記回路ユニットが複数段縦続形態に接続されており、  
初段の前記回路ユニットの前記インバータの入力端に入力信号が入力され、  
最終段の前記回路ユニットの前記インバータの出力端に一端が接続される前記  
抵抗の他端と前記MOSキャパシタとの接続点から出力信号が取り出され、  
複数段の前記回路ユニットにおいて、相隣る段の前記回路ユニットのMOSキ  
15 ャパシタは、それぞれ、前記第1の電源と前記第2の電源とに交互に接続されて  
いる、ことを特徴とする請求の範囲第13項記載の半導体記憶装置。

17. 前記遅延回路の前記インバータにおいて、前記第1及び第2のMOSトラ  
ンジスタのうち少なくとも1つのMOSトランジスタの閾値電圧が、前記1つの  
MOSトランジスタと同一導電型の通常のMOSトランジスタの閾値電圧よりも  
20 その大きさが小さく設定されている、ことを特徴とすることを特徴とする請求の  
範囲第13項記載の半導体記憶装置。

18. 前記遅延回路が、1つ又は複数段縦続形態に接続されるインバータを含む  
遅延回路であり、

前記インバータの出力端に一端が接続される抵抗と、  
25 前記抵抗の他端と高位側又は低位側電源との間に接続された容量素子と、  
を前記インバータのそれぞれに備え、  
前記容量素子は、  
前記容量素子の一端が接続される前記抵抗の他端の電圧の、  
前記高位側又は低位側電源の電源電圧のうち前記容量素子の他端が接続される

前記第4の容量素子がMOSキャパシタよりなり、

前記第4の容量素子をなす前記MOSキャパシタは、前記第2の抵抗の他端の電圧が前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、反転状態に変化する、ことを特徴とする請求の範囲第21項記載の半導体記憶装置。

5 25. 前記遅延回路において、

前記第1の電源と前記第1の抵抗の他端との間に挿入され、前記第1のインバータの入力端に制御端子が接続されている第1のスイッチを有するリセット回路をさらに備えている、ことを特徴とする請求の範囲第19項記載の半導体記憶装置。

10 26. 前記遅延回路において、

前記第1のインバータの入力端に入力端が接続された第3のインバータと、  
前記第2の抵抗の他端と前記第2の電源間に挿入され、前記第3のインバータの出力端に制御端子が接続されている第2のスイッチと、  
を有するリセット回路をさらに備えている、ことを特徴とする請求の範囲第19項又は第25項記載の半導体記憶装置。

27. 前記遅延回路において、

前記第1の電源と前記第1のインバータの給電端子との間に挿入され、リセット用の制御信号が第1の論理値のときオンする第3のスイッチと、

前記第1のインバータの出力端と前記第2の電源間に挿入され、前記制御信号が第2の論理値のときオンする第4のスイッチと、

前記第2のインバータの給電端子と前記第2の電源間に挿入され、前記制御信号が第1の論理値のときオンする第5のスイッチと、

をさらに備えている、ことを特徴とする請求の範囲第21項記載の半導体記憶装置。

25 28. 前記遅延回路が、

ソースが第1の電源に接続された第1導電型の第1のMOSトランジスタと、  
ソースが第2の電源に接続され、ゲートが前記第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続されてなる第2導電型の第2のMO

前記第 1 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第 3 の容量素子と、

前記第 2 の抵抗の他端と前記第 1 の電源とに一端と他端がそれぞれ接続され、前記第 2 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第 4 の容量素子と、

5 する第 4 の容量素子と、

をさらに備えている、ことを特徴とする請求の範囲第 19 項記載の半導体記憶装置。

22. 前記遅延回路において、

前記第 3 の容量素子は、前記第 1 の抵抗の他端に接続される前記一端の電圧が、前記第 2 の電源電圧側から前記第 1 の電源電圧側へ遷移するとき、容量値が小から大に変化し、

前記第 4 の容量素子は、前記第 2 の抵抗の他端に接続される前記一端の電圧が、前記第 1 の電源電圧側から前記第 2 の電源電圧側へ遷移するとき、容量値が小から大に変化する、ことを特徴とする請求の範囲第 21 項記載の半導体記憶装置。

15 。

23. 前記遅延回路において、

前記第 1 の容量素子が MOS キャパシタよりなり、

前記第 1 の容量素子をなす前記 MOS キャパシタは、前記第 1 の抵抗の他端の電圧が前記第 1 の電源電圧側から第 2 の電源電圧側へ遷移するとき、反転状態に変化し、

20 変化し、

前記第 2 の容量素子が MOS キャパシタよりなり、

前記第 2 の容量素子をなす前記 MOS キャパシタは、前記第 2 の抵抗の他端の電圧が前記第 2 の電源電圧側から前記第 1 の電源電圧側へ遷移するとき、反転状態に変化する、ことを特徴とする請求の範囲第 19 項記載の半導体記憶装置。

25 24. 前記遅延回路において、

前記第 3 の容量素子が MOS キャパシタよりなり、

前記第 3 の容量素子をなす前記 MOS キャパシタは、前記第 1 の抵抗の他端の電圧が前記第 2 の電源電圧側から第 1 の電源電圧側へ遷移するとき、反転状態に変化し、

をさらに備えている、ことを特徴とする請求の範囲第28項又は第29項記載の半導体記憶装置。

31. 前記遅延回路が、

ソースが第1の電源に接続された第1導電型の第1のMOSトランジスタと、  
5 ソースが第2の電源に接続され、ゲートが前記第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続されてなる第2導電型の第2のMOSトランジスタとからなる第1のインバータと、

前記第1のインバータの出力端に一端が接続されている第1の抵抗と、

10 前記抵抗の他端と前記第1の電源間に接続された第1導電型のMOSキャパシタよりなる第1の容量と、

ソースが第1の電源に接続された第1導電型の第3のMOSトランジスタと、  
ソースが前記第2の電源に接続され、ゲートが前記第3のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続されてなる第2導電型の第4の  
15 MOSトランジスタとからなる第2のインバータと、

を備え、

前記第1の抵抗と前記第1の容量との接続点が前記第2のインバータの入力端に接続されており、

20 前記第2のインバータの出力端に一端が接続されている第2の抵抗と、

前記第2の抵抗の他端と前記第2の電源間に接続された第2導電型のMOSキャパシタよりなる第2の容量と、

を備え、

前記第1のインバータの入力端を信号入力端とし、前記第2の抵抗と前記第2  
25 の容量との接続点を信号出力端とし、

前記第1の抵抗の他端と第2の電源間に接続された第2導電型のMOSキャパシタよりなる第3の容量と、

前記第2の抵抗の他端と前記第1の電源間に接続された第1導電型のMOSキャパシタよりなる第4の容量と、

Sトランジスタとからなる第1のインバータと、

前記第1のインバータの出力端に一端が接続されている第1の抵抗と、

前記第1の抵抗の他端と前記第1の電源間に接続された第1導電型のMOSキャパシタよりなる第1の容量と、

- 5      ソースが前記第1の電源に接続された第1導電型の第3のMOSトランジスタと、ソースが前記第2の電源に接続され、ゲートが前記第3のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続されてなる第2導電型の第4のMOSトランジスタとからなる第2のインバータと、

- 10      を備え、

前記第1の抵抗と前記第1の容量との接続点が前記第2のインバータの入力端に接続されており、

前記第2のインバータの出力端に一端が接続されている第2の抵抗と、

- 15      前記第2の抵抗の他端と前記第2の電源間に接続された第2導電型のMOSトランジスタよりなる第2の容量と、

を備え、

前記第1のインバータの入力端を信号入力端とし、前記第2の抵抗と前記第2の容量との接続点を信号出力端としてなる、ことを特徴とする請求の範囲第3項又は第10項記載の半導体記憶装置。

- 20      29. 前記遅延回路において、

前記第1のインバータの入力端にゲートが接続され、ソースが前記第1の電源に接続され、ドレインが前記第1の抵抗の他端に接続された第1導電型のMOSトランジスタをさらに備えている、ことを特徴とする請求の範囲第28項記載の半導体記憶装置。

- 25      30. 前記遅延回路において、

前記第1のインバータの入力端にゲートが接続された第3のインバータと、

前記第3のインバータの出力端にゲートが接続され、ソースが前記第2の電源に接続され、ドレインが前記第2の抵抗の他端に接続された第2導電型のMOSトランジスタと、

、第21項、第28項、第31項のいずれかーに記載の半導体記憶装置。

37. 少なくとも前記遅延回路は、相対的に低い電源電圧で駆動されており、

前記遅延回路と同一チップ上に形成される他の回路は、相対的に高い電源電圧又は相対的に低い電源電圧で駆動されている、ことを特徴とする請求の範囲第3  
5 項記載の半導体記憶装置。

38. 供給される電源電圧が高いときよりも低いときの方が遅延時間が短くなる特性を有する遅延回路として、請求の範囲第13項乃至第36項のいずれかーに記載の遅延回路を備えている、ことを特徴とする半導体装置。

39. 入力された信号を遅延させて出力する遅延回路と、

10 前記入力された信号と前記遅延回路の出力信号との所定の論理演算結果を出力する回路と、

を備えた半導体装置において、

前記遅延回路として、請求の範囲第13項乃至第36項のいずれかーに記載の遅延回路を備えている、ことを特徴とする半導体装置。

15 40. 電源電圧を相対的に低電圧とする低電圧駆動時に、前記定電圧が電源電圧によらず一定であること、及び、前記遅延回路の前記特性により前記制御信号の遅延時間が、電源電圧を相対的に高電圧とする高電圧駆動の場合よりも減少すること、による、低電圧駆動時における前記メモリセルアレイのアクセス時間の高電圧駆動時と比べての減少分が、低電圧駆動による前記メモリセルアレイの周辺  
20 回路部での動作速度の低下によるアクセス時間の増加分の少なくとも1部を相殺し、低電圧駆動時における前記メモリセルアレイと前記周辺回路部との全体のアクセス時間の遅延の増大が抑制される、構成とされてなる、ことを特徴とする請求の範囲第3項又は第10項記載の半導体記憶装置。

41. 複数のメモリセルがアレイ状に配置されてなるメモリセルアレイと、

25 前記メモリセルアレイのワード線を選択するワード線駆動回路と、

ビット線に接続されるセンスアンプと、

を備えた半導体記憶装置の制御方法において、

供給される電源電圧に依存しない定電圧を生成するステップと、

前記ワード線駆動回路が、前記生成された定電圧を駆動電圧として入力し、選

を備えている、ことを特徴とする請求の範囲第 3 項又は第 10 項記載の半導体記憶装置。

3 2. 前記遅延回路において、

5 前記第 1 の電源と前記第 1 のインバータの前記第 1 の MOS トランジスタのソースとに、ソースとドレインがそれぞれ接続され、リセット用の制御信号をゲートに入力する第 1 導電型の MOS トランジスタよりなる第 1 のスイッチと、

前記第 1 のインバータの出力端と前記第 2 の電源間とにソースとドレインがそれぞれ接続され、前記リセット用の制御信号をゲートに入力する第 2 導電型の MOS トランジスタよりなる第 2 のスイッチと、

10 前記第 2 のインバータの第 4 の MOS トランジスタのソースと前記第 2 の電源間とに、ソースとドレインがそれぞれ接続され、前記リセット用の制御信号の反転信号をゲートに入力する第 2 導電型の MOS トランジスタよりなる第 3 のスイッチと、

を備えている、ことを特徴とする請求の範囲第 3 1 項記載の半導体記憶装置。

15 3 3. 前記遅延回路において、

前記第 2 の MOS トランジスタと前記第 3 の MOS トランジスタは、通常の第 2 導電型と第 1 導電型の MOS トランジスタよりも、それぞれ低閾値に設定されている、ことを特徴とする請求の範囲第 2 8 項又は第 3 1 項記載の半導体記憶装置。

20 3 4. 前記遅延回路において、

前記抵抗は、基板上の拡散抵抗で構成されている、ことを特徴とする請求の範囲第 1 3 項乃至第 1 8 項のいずれかに記載の半導体記憶装置。

3 5. 前記遅延回路において、

25 前記第 1 の抵抗と前記第 2 の抵抗のそれぞれが、基板上の拡散抵抗で構成されている、ことを特徴とする請求の範囲第 1 9 項、第 2 8 項、第 3 1 項のいずれかに記載の半導体記憶装置。

3 6. 前記遅延回路において、

前記第 1、第 2 の電源のうち高位側の電源の電源電圧が、電源電圧を降圧する降圧回路で降圧された電源電圧とされる、ことを特徴とする請求の範囲第 1 9 項

減少するという逆特性を有する遅延回路を用いて行い、

前記周辺回路を電源電圧で駆動し、

前記遅延回路を前記電源電圧を降圧した降圧電源電圧で駆動し、

前記メモリセルアレイの制御信号に供給する昇圧電圧として、前記電源電圧の

5 高低に依存しない定電圧を供給し、

前記メモリセルアレイを、前記電源電圧を降圧した降圧電源電圧で駆動する、

上記各ステップを含む、ことを特徴とする請求の範囲第41項記載の半導体記憶装置の制御方法。

47. 前記遅延回路として、論理信号の遷移エッジを1つのインバータ又は複数  
10 段縦続接続されたインバータよりなる遅延回路を用いて遅延させるにあたり、前記インバータの出力端に抵抗の一端を接続し、前記抵抗の他端をMOSキャパシタを介して電源に接続し、

(a) 前記インバータの入力端に、入力端子よりもしくは前段のインバータの出力端に一端が接続された抵抗の他端より、立ち上がり又は立ち下りの遷移信号  
15 が入力されるステップと、

(b) 前記遷移信号が入力された前記インバータに対応する前記MOSキャパシタが接続されている電源側に対応する一の論理値から他の論理値への、前記インバータの出力信号の遷移において、前記MOSキャパシタが反転状態に変化するステップと、

20 を含む、ことを特徴とする請求の範囲第42項乃至第46項のいずれかに記載の半導体記憶装置の制御方法。

48. 電源電圧を相対的に低電圧とする低電圧駆動時に、前記定電圧が電源電圧によらず一定であること、及び、前記遅延回路の前記特性により前記制御信号の遅延時間が電源電圧を相対的に高電圧とする高電圧駆動の場合よりも減少すること、により、低電圧駆動時における前記メモリセルアレイのアクセス時間は高電  
25 圧駆動時と比べて減少し、

低電圧駆動時における前記メモリセルアレイのアクセス時間の高電圧駆動時と比べての減少分が、低電圧駆動による前記メモリセルアレイの周辺回路部での動作速度の低下によるアクセス時間の増加分の少なくとも1部を相殺し、低電圧駆

択されたワード線を前記定電圧で駆動するステップと、

前記センスアンプが、選択されたビット線の高位側電圧を前記電源電圧まで増幅するステップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

- 5    4 2. 前記メモリセルアレイの周辺回路が、前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成するにあたり、入力された信号を遅延回路で遅延させるステップを有し、

10    前記遅延回路は、供給される電源電圧が高いときよりも低いときの方がその遅延時間が短くなる特性を有する、ことを特徴とする請求の範囲第 4 1 項記載の半導体記憶装置の制御方法。

4 3. 前記メモリセルアレイと前記遅延回路と前記周辺回路とを、相対的に低い電源電圧で駆動する、ことを特徴とする請求の範囲第 4 2 項記載の半導体記憶装置の制御方法。

- 15    4 4. 前記周辺回路を前記電源電圧で駆動し、前記メモリセルアレイと前記遅延回路とを前記電源電圧を降圧した低い電源電圧で駆動する、ことを特徴とする請求の範囲第 4 2 項記載の半導体記憶装置。

4 5. 前記メモリセルアレイ及びその周辺回路を、相対的に低電圧の電源電圧で駆動し、

- 20    前記メモリセルアレイの制御信号に供給される昇圧電圧として、電源電圧に依存しない定電圧が供給され、

前記周辺回路から前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定する信号を生成する回路が、信号の遅延を、電源電圧の低下に対して遅延時間が短縮するという特性を有する遅延回路を用いて行う、

- 25    上記各ステップを有する、ことを特徴とする請求の範囲第 4 1 項に半導体記憶装置の制御方法。

4 6. 前記メモリセルアレイの周辺回路から前記メモリセルアレイに供給される制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路が、信号の遅延を、電源電圧の低下に対して遅延時間が

比較例として、本発明の構成をとらず、昇圧電圧が電源電圧に依存する、従来の回路の場合、低電圧動作で、セルコア部に供給される昇圧電圧が低下し、アクセス時間は遅くなり、また、制御信号の遷移タイミング、パルス幅も遅れるため、遅延時間は遅くなる。そして、低電圧時に遅延時間の増大する一般論理系の周辺回路部 20 の遅延時間の増大と、セルコア部 10 の遅延時間の増加により、両方を合わせた遅延時間は著しく増大している。この比較例の遅延時間と電源電圧 VDD との関係は、第 10 図の破線（「従来」）に示されている。なお、第 10 図において、横軸は電源電圧、縦軸は伝搬遅延時間である。

これに対して、本発明では、電源電圧 VDD の低下に対して、セルコア部での遅延時間が短縮し、第 10 図の実線（「本発明」）に示すように、従来方式と比べて、遅延時間の増大は抑制されている。

第 12 図は、本発明と、比較例として本発明の構成をとらない従来方式のメモリの構成における、電源電圧の高低（横軸）とアクセス時間（縦軸）との関係を図式化して示すものである。

メモリは、セルコア部（セルアレイ）と周辺部からなるものとする。本発明において、周辺部には、電源電圧と遅延時間特性の逆特性（第 11 図参照）を示す遅延回路（第 6 図の 11）が含まれており、この遅延回路 11 によりセルコア部 20 の制御信号の遅延が制御されるものとする。また昇圧電圧は、電源電圧に依存せず一定であるものとする。

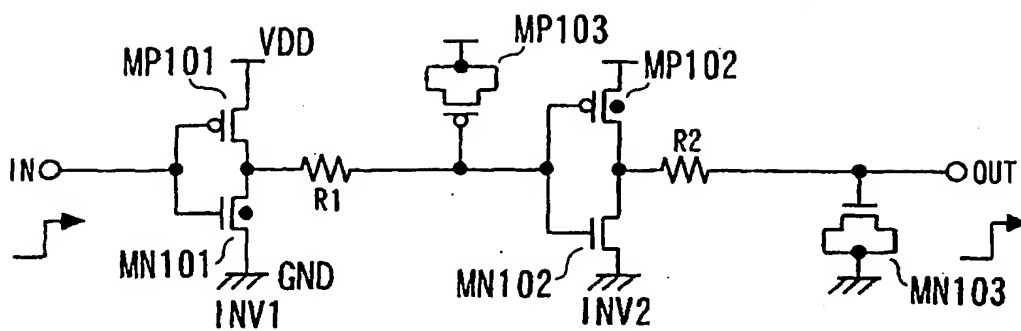
本発明の構成をとらない従来方式のメモリでは、電源電圧 VDD が高くなると、昇圧電圧 VB00ST も上昇しており、セルコア部と周辺回路部はともに高速化し、全体のアクセス時間は短縮し、動作速度は高速化する（第 12 図の H2）。

一方、電源電圧 VDD が低くなると、昇圧電圧 VB00ST も低くなり、さらに、遅延回路の遅延時間は、第 11 図に順特性として示すように、電源電圧の低下により増大するため、制御信号の遅延も増大する。このため、セルコア部のアクセス速度の低下は著しく、周辺回路の論理回路の動作速度も低下し、全体のアクセス時間は、高い電源電圧の場合と比較して著しく遅くなる（第 12 図の L1）。

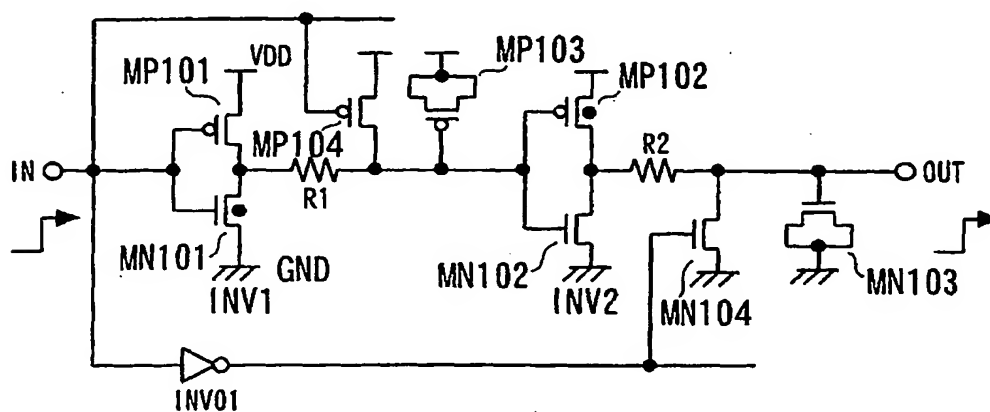
本発明の半導体記憶装置では、電源電圧 VDD が高くなっても、昇圧電圧 VB00ST は一定であり、電源電圧 VDD との差電圧は小さくなる。セルコア部の制御

動時における前記メモリセルアレイと前記周辺回路部との全体のアクセス時間の遅延の増大を抑制する制御が行われる、ことを特徴とする請求の範囲第42項記載の半導体記憶装置の制御方法。

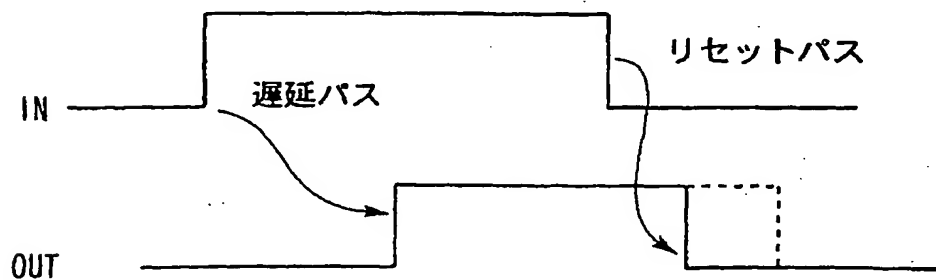
第1図



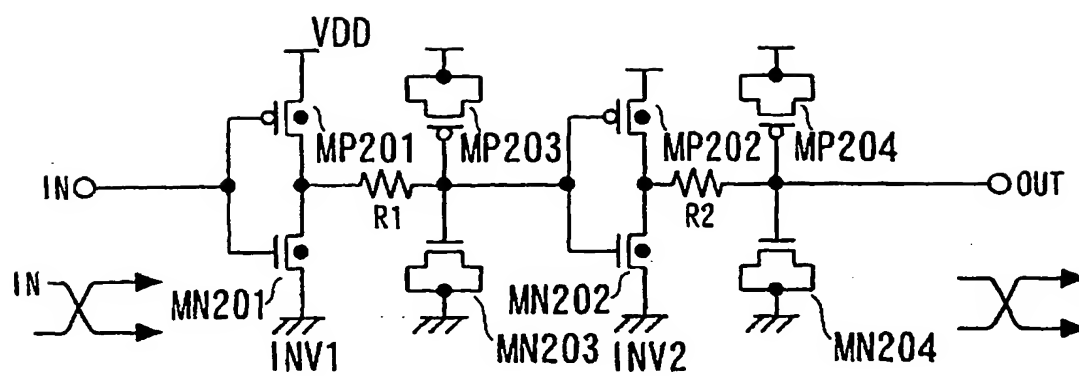
第2図



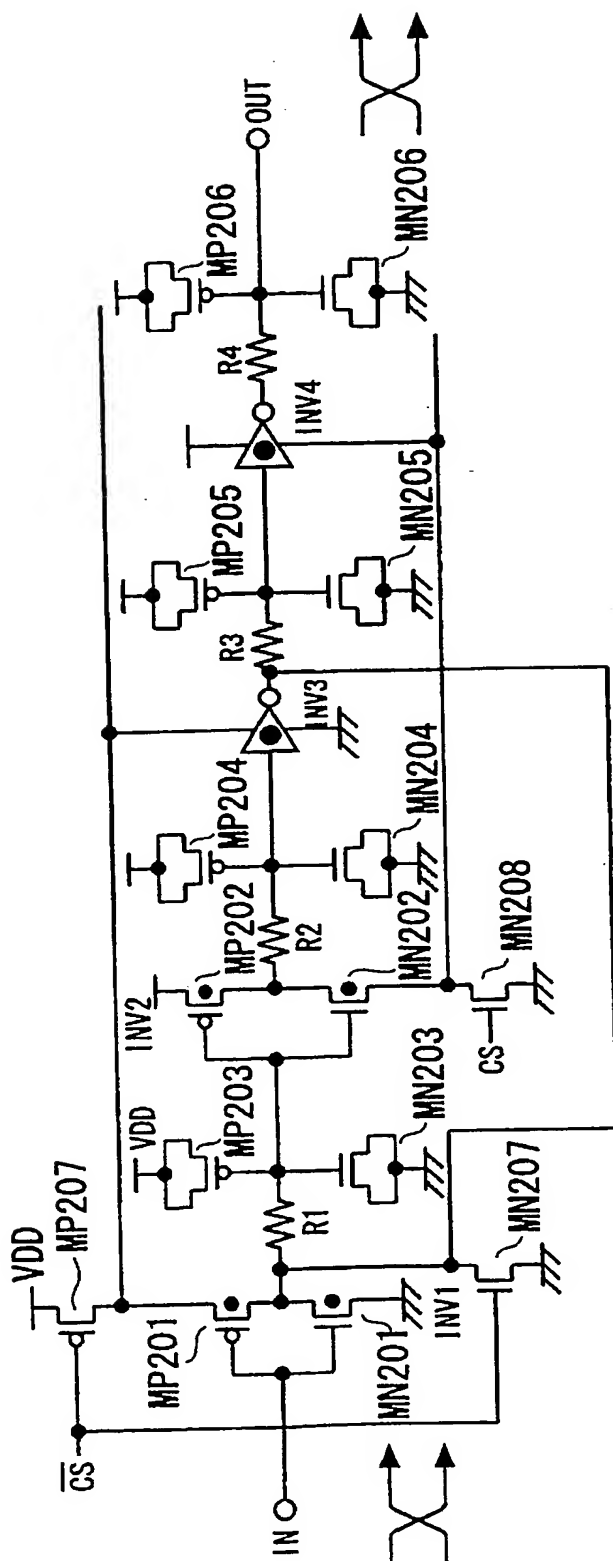
第3図



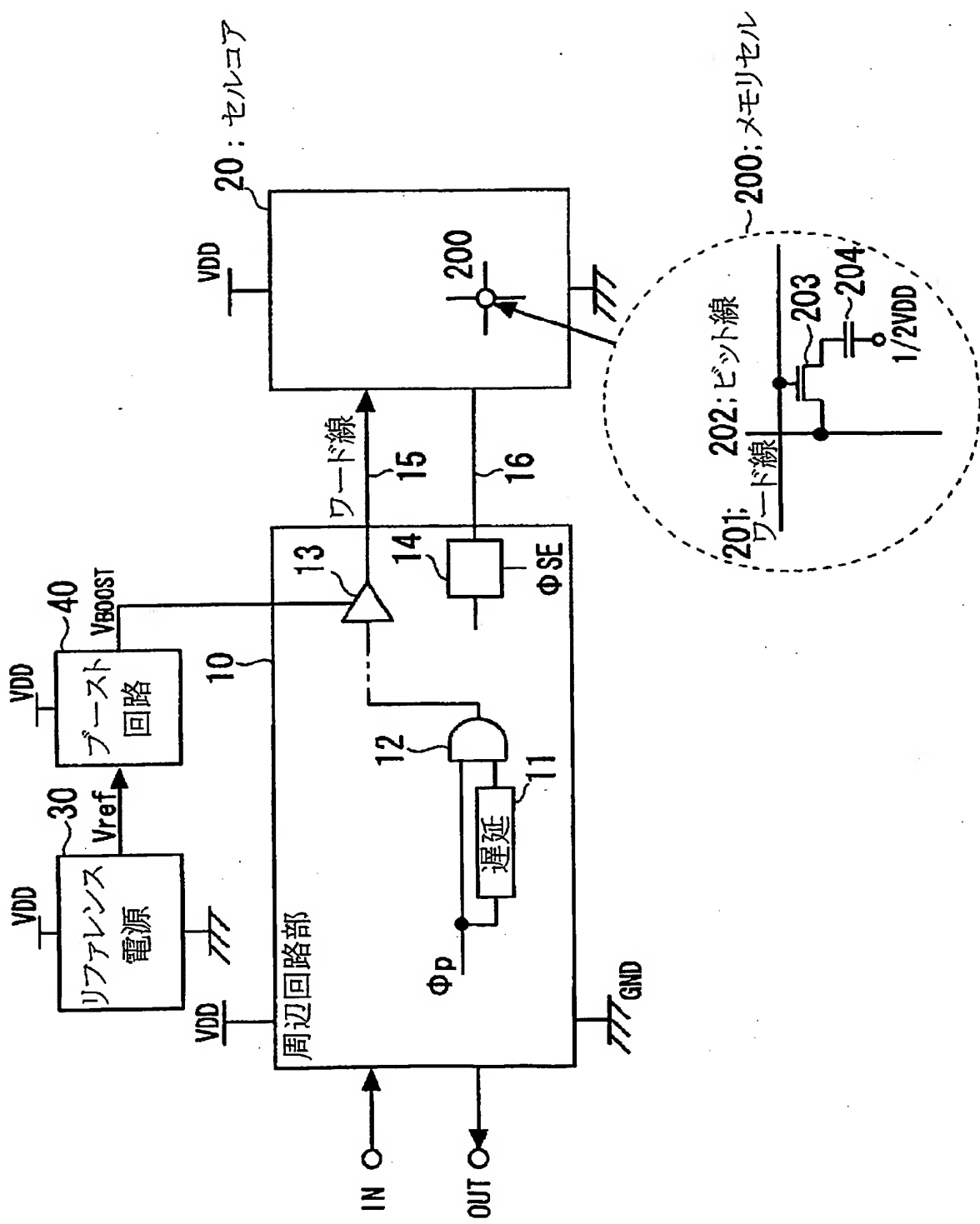
第4図



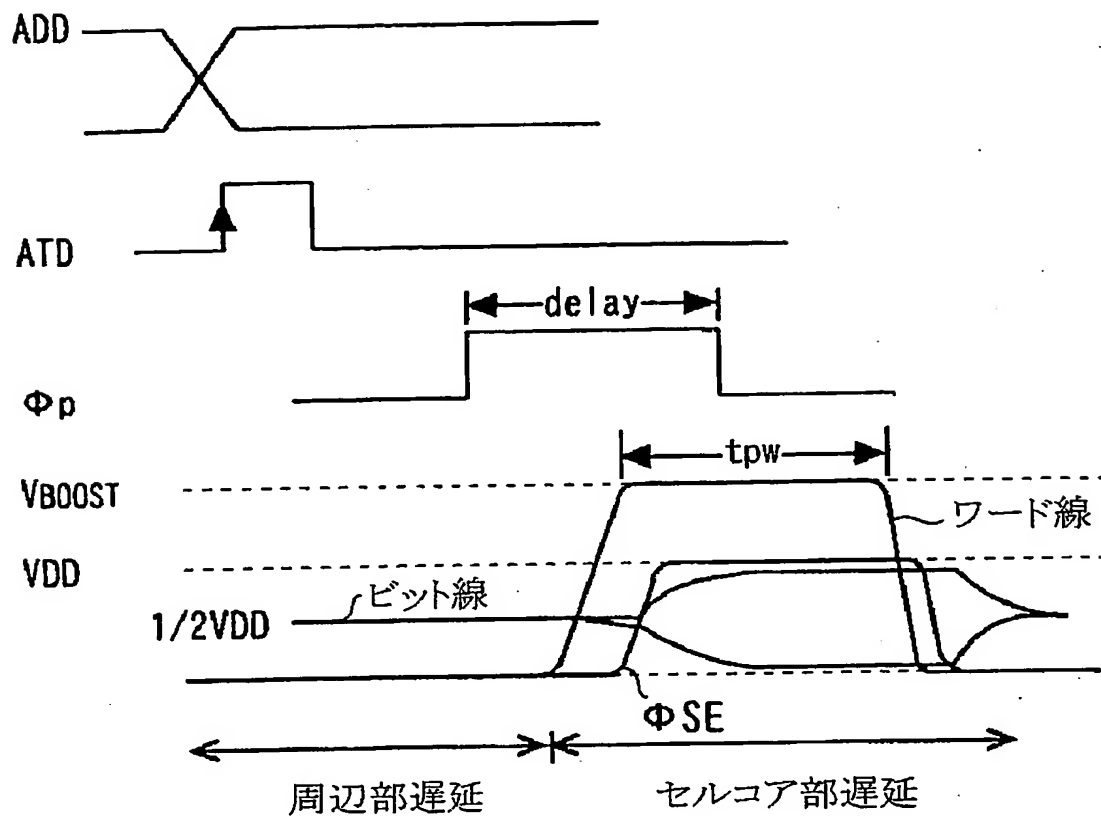
第5図



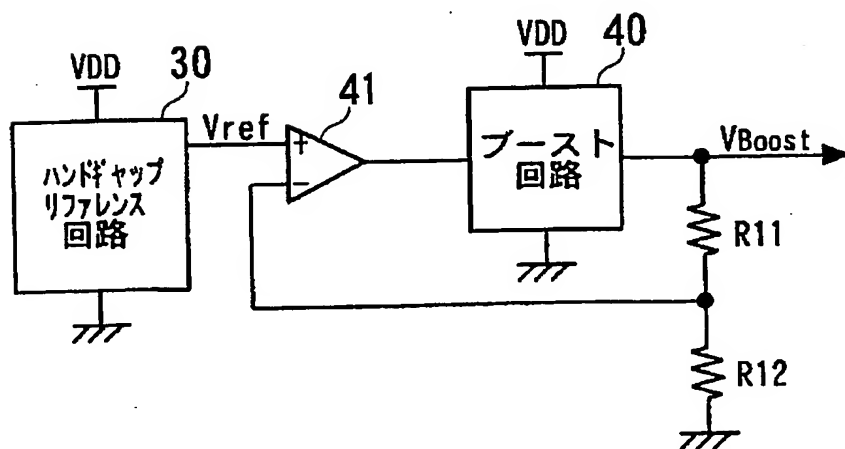
第6図



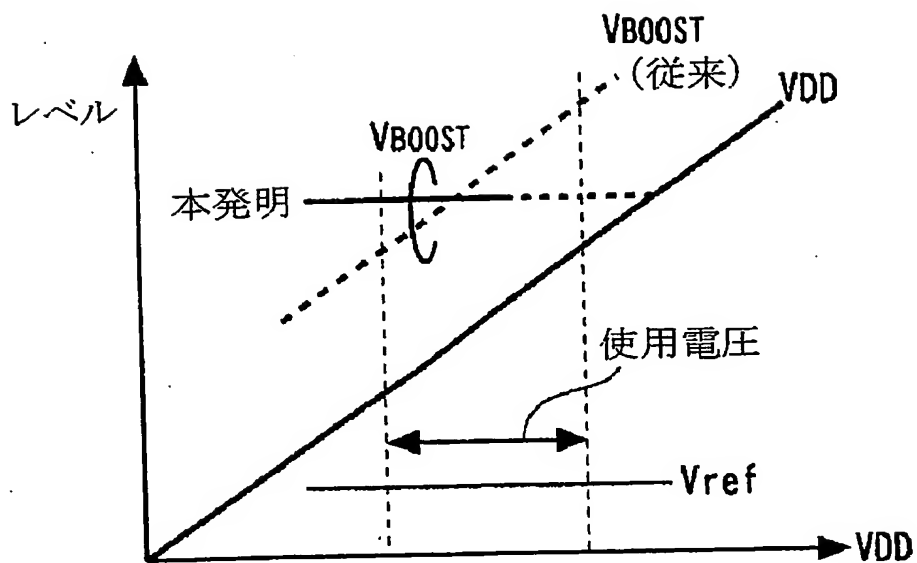
第7図



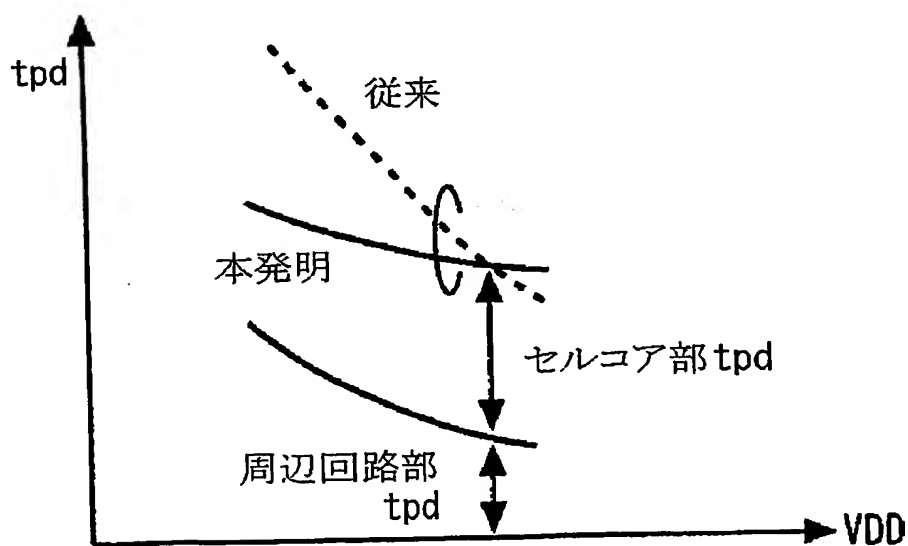
第8図



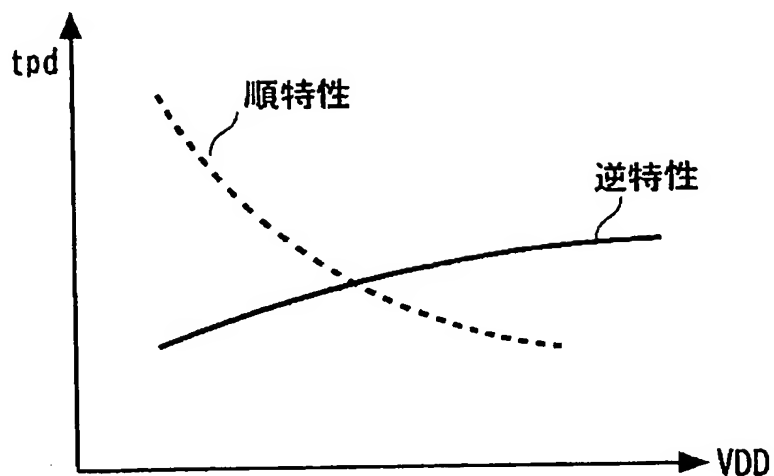
第9図



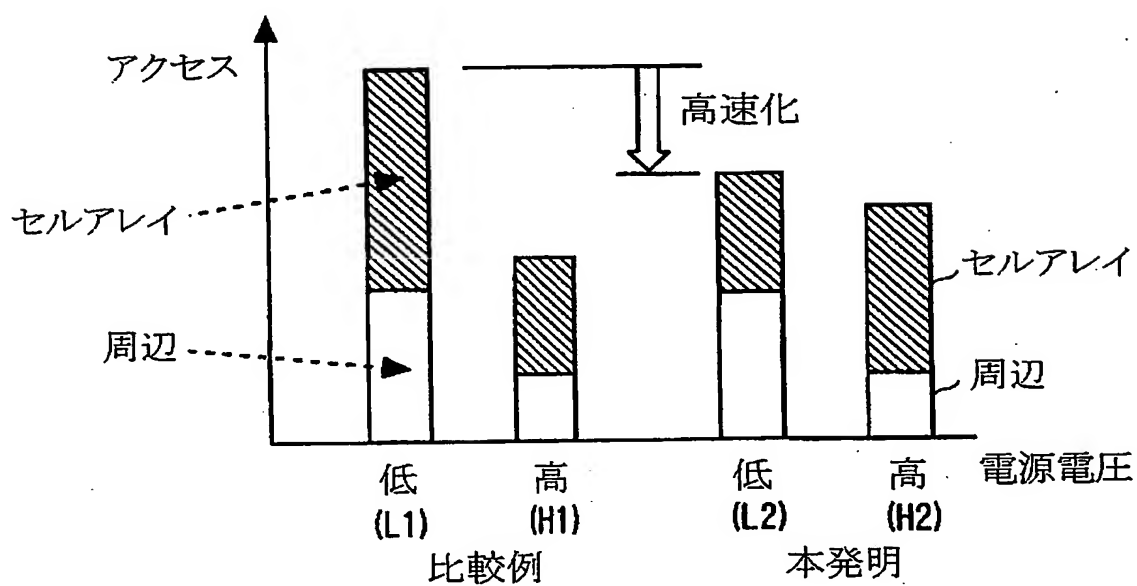
第10図



第11図

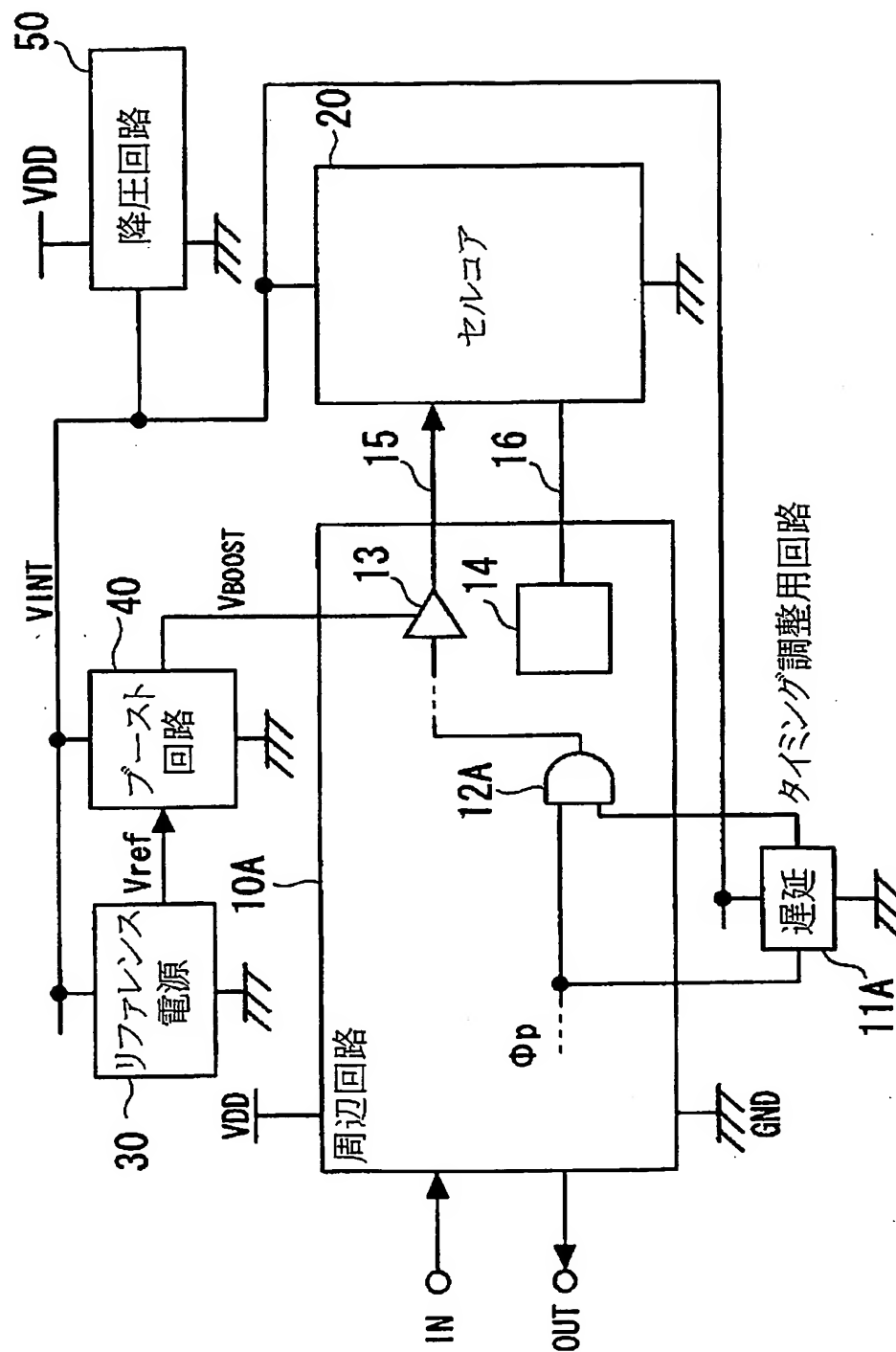


第12図

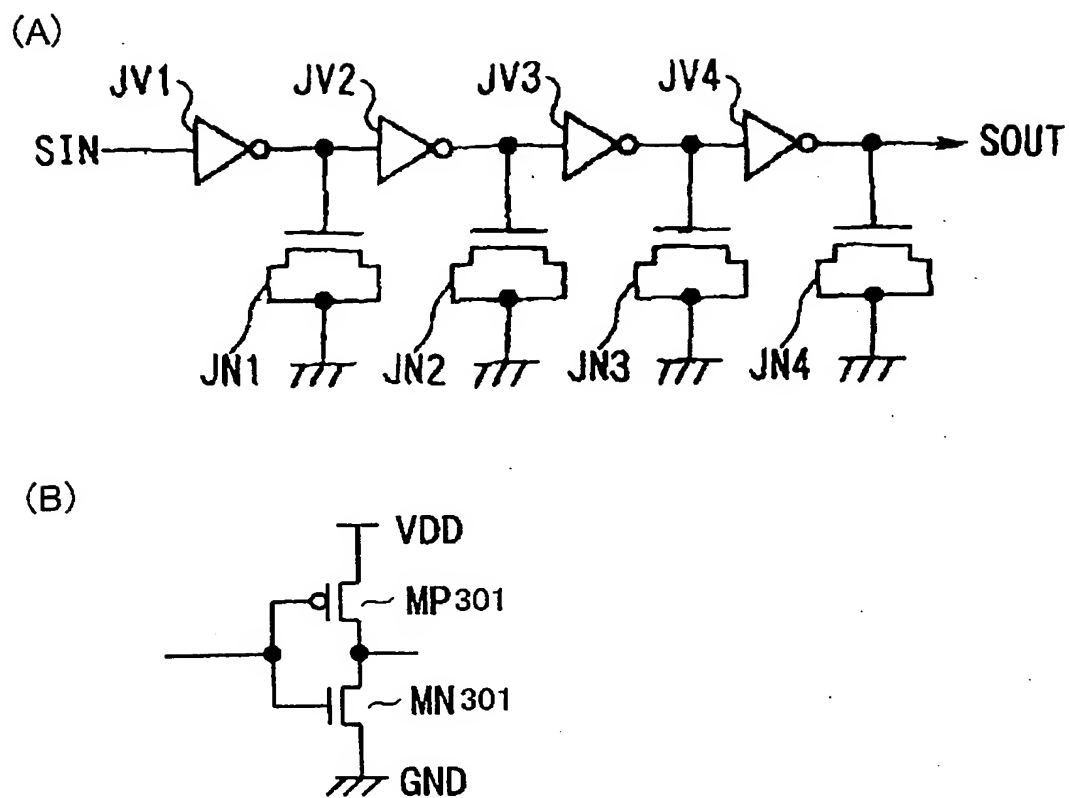




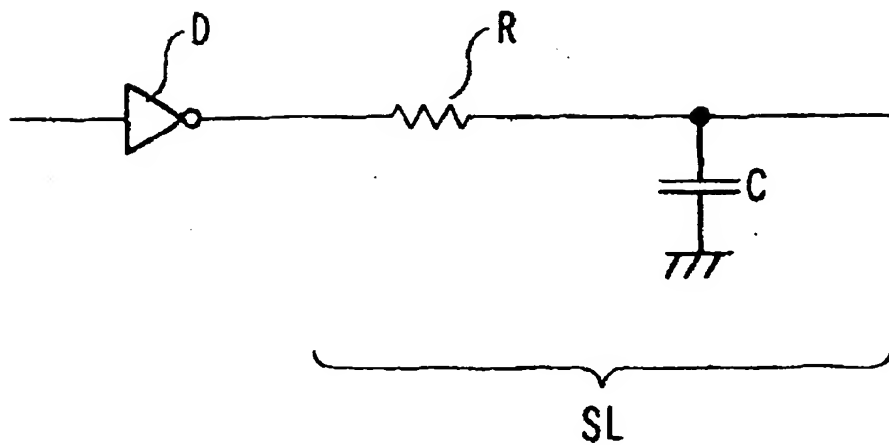
第14図



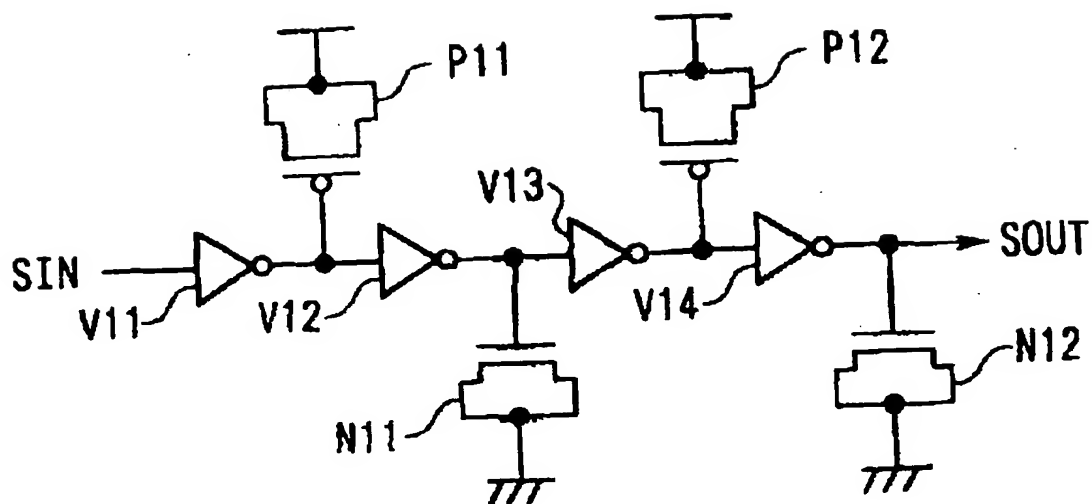
第 15 図



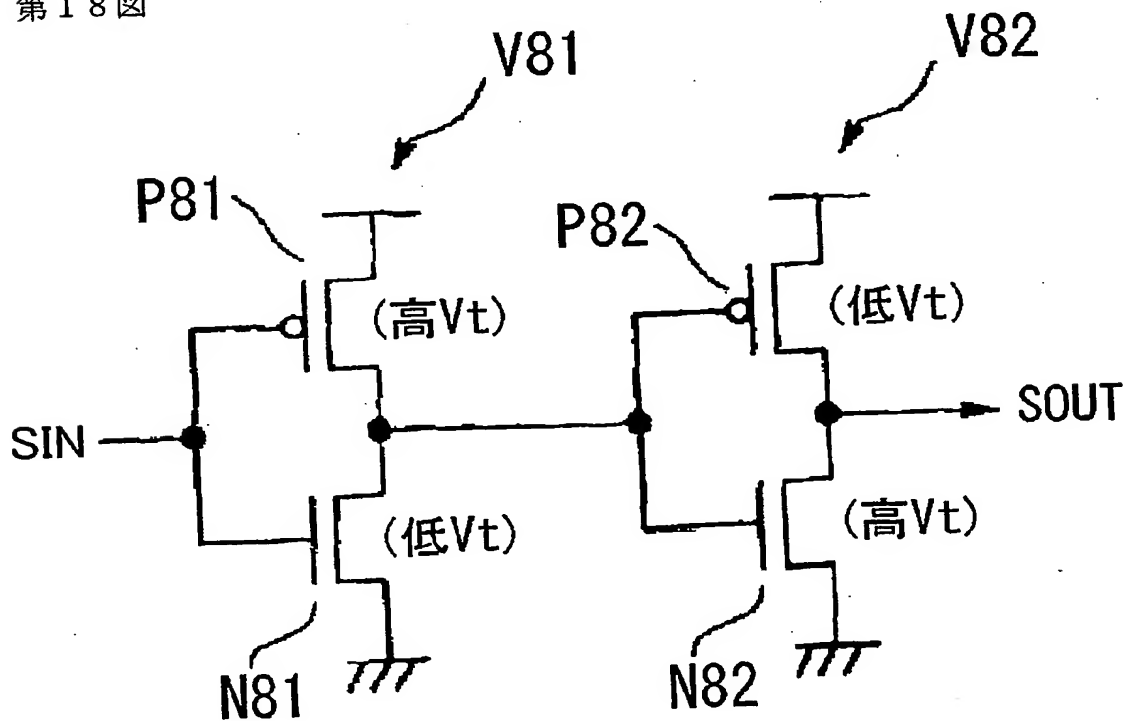
第 16 図



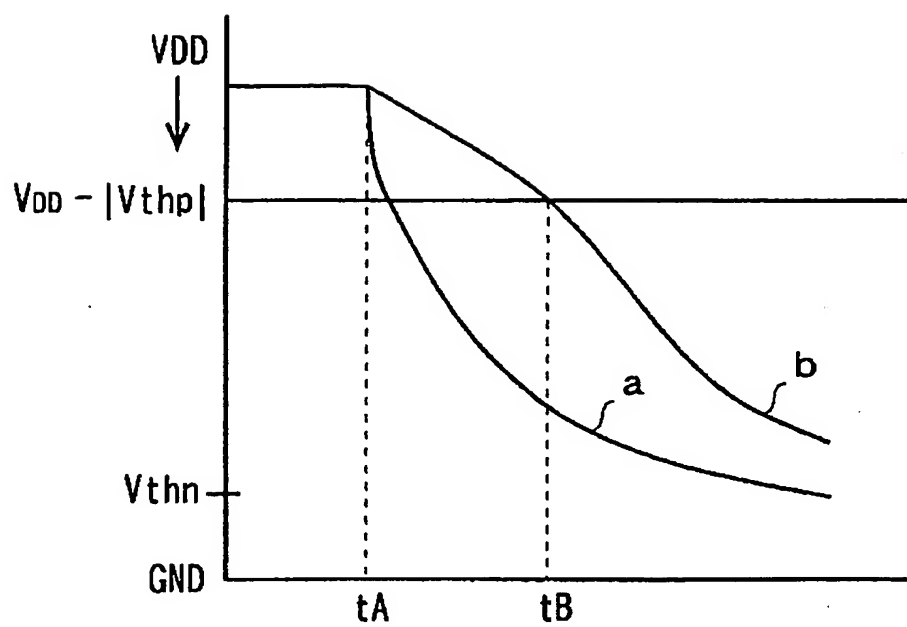
第17図



第18図



第 19 図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02095

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G11C11/407, H03K5/13

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G11C11/407, H03K5/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-273594 A (Hitachi, Ltd., Hitachi ULSI Engineering Corp.), 04 December, 1991 (04.12.91), Full text; all drawings & US 5264743 A & US 5555215 A & KR 206352 B & KR 245919 B & KR 245920 B & KR 262437 B & KR 266425 B1 & JP 2000-82288 A & JP 2000-82289 A & JP 2000-82290 A & JP 3107305 B2 & JP 3112019 B2	1-24, 28-31, 33-39, 41-47
Y	JP 2-214149 A (Hitachi, Ltd.), 27 August, 1990 (27.08.90), Full text; all drawings (Family: none)	1, 41

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
29 May, 2003 (29.05.03)

Date of mailing of the international search report  
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/

Authorized officer

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02095

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-334875 A (Toshiba Corp.), 17 December, 1993 (17.12.93), Full text; all drawings & US 5398207 A & KR 127494 B & JP 3085782 B1	1, 2, 8, 9, 41
P, A	JP 2002-124858 A (NEC Corp.), 26 April, 2002 (26.04.02), Full text; all drawings & US 2002/21159 A1	1-24, 28-31, 33-39, 41-47
A	JP 2002-50945 A (Sony Corp.), 15 February, 2002 (15.02.02), Full text; all drawings & EP 1178610 A2 & US 2002/33721 A1 & KR 2002/11342 A	40, 48

## 国際調査報告

国際出願番号 PCT/JPO3/02095

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int.Cl.<sup>7</sup> G11C11/407, H03K5/13

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int.Cl.<sup>7</sup> G11C11/407, H03K5/13

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 3-273594 A(株式会社日立製作所, 日立超エル・エス・アイ・エンジニアリング株式会社) 1991.12.04, 全文, 全図 & US 5264743 A & US 5555215 A & KR 206352 B & KR 245919 B & KR 245920 B & KR 262437 B & KR 266425 B1 & JP 2000-82288 A & JP 2000-82289 A & JP 2000-82290 A & JP 3107305 B2 & JP 3112019 B2	1-24, 28-31, 33-39, 41-47

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

29.05.03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JIP)

特許庁審査官 (権限のある職員)

堀田 和哉



5N 8840

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-334875 A(株式会社東芝) 1993. 12. 17, 全文, 全図 & US 5398207 A & KR 127494 B & JP 3085782 B1	1, 2, 8, 9, 41
PA	JP 2002-124858 A(日本電気株式会社) 2002. 04. 26, 全文, 全図 & US 2002/21159 A1	1-24, 28-31, 33-39, 41-47
A	JP 2002-50945 A(ソニー株式会社) 2002. 02. 15, 全文, 全図 & EP 1178610 A2 & US 2002/33721 A1 & KR 2002/11342 A	40, 48

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-38786 A (Toshiba Corp.), 07 February, 1992 (07.02.92), Full text; all drawings & DE 4117846 A1 & US 5307315 A & US 5499209 A & KR 9410835 B	1, 2, 8-11, 41
Y	JP 3-237682 A (NEC Corp.), 23 October, 1991 (23.10.91), Full text; all drawings & DE 69118958 C & EP 451453 A1 & US 5222044 A & KR 9403402 B	1-24, 28-31, 33-39, 41-47
Y	JP 4-78220 A (Samsung Electronics Co., Ltd.), 12 March, 1992 (12.03.92), Full text; all drawings & GB 2246256 A & FR 2665036 A & CN 1058497 A & CN 1026543 C & DE 4034458 A & DE 4034458 C & US 5130564 A & KR 9306228 B & IT 1243878 A & IT 1243878 B	3-7, 10-24, 28-31, 33-39, 42-47
Y	JP 8-340238 A (Toshiba Micro-Electronics Corp., Toshiba Corp.), 24 December, 1996 (24.12.96), Full text; all drawings (Family: none)	3-7, 10, 11, 42-46
Y	JP 2-350 A (Hitachi, Ltd.), 05 January, 1990 (05.01.90), Full text; all drawings & US 5086238 A & US 5197033 A & US 5377156 A & US 5396116 A & US 5822267 A & US 6125075 A & US 6363029 B1 & KR 9703232 B & KR 155255 B & KR 254004 B	1, 2, 8, 41
A	JP 6-282986 A (Matsushita Electric Industrial Co., Ltd.), 07 October, 1994 (07.10.94), Full text; all drawings & US 5426601 A & KR 140673 B1	1, 2, 8, 41
A	JP 7-240094 A (Toshiba Corp.), 12 September, 1995 (12.09.95), Full text; all drawings & DE 69516328 D & EP 669619 A2 & CN 1113347 A & US 5592421 A & KR 241209 B & DE 69516328 T & JP 2000-200485 A & JP 3155879 B2 & JP 2002-25260 A & JP 3281353 B2	1, 2, 8, 41

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2-214149 A(株式会社日立製作所) 1990. 08. 27, 全文, 全図(ファミリーなし)	1, 41
Y	JP 4-38786 A(株式会社東芝) 1992. 02. 07, 全文, 全図 & DE 4117846 A1 & US 5307315 A & US 5499209 A & KR 9410835 B	1, 2, 8-11, 41
Y	JP 3-237682 A(日本電気株式会社) 1991. 10. 23, 全文, 全図 & DE 69118958 C & EP 451453 A1 & US 5222044 A & KR 9403402 B	1-24, 28-31, 33-39, 41-47
Y	JP 4-78220 A(三星電子株式會社) 1992. 03. 12, 全文, 全図 & GB 2246256 A & FR 2665036 A & CN 1058497 A & CN 1026543 C & DE 4034458 A & DE 4034458 C & US 5130564 A & KR 9306228 B & IT 1243878 A & IT 1243878 B	3-7, 10-24, 28-31, 33-39, 42-47
Y	JP 8-340238 A(東芝マイクロエレクトロニクス株式会社, 株式会社東芝) 1996. 12. 24, 全文, 全図(ファミリーなし)	3-7, 10, 11, 42-46
Y	JP 2-350 A(株式会社日立製作所) 1990. 01. 05, 全文, 全図 & US 5086238 A & US 5197033 A & US 5377156 A & US 5396116 A & US 5822267 A & US 6125075 A & US 6363029 B1 & KR 9703232 B & KR 155255 B & KR 254004 B	1, 2, 8, 41
A	JP 6-282986 A(松下電器産業株式会社) 1994. 10. 07, 全文, 全図 & US 5426601 A & KR 140673 B1	1, 2, 8, 41
A	JP 7-240094 A(株式会社東芝) 1995. 09. 12, 全文, 全図 & DE 69516328 D & EP 669619 A2 & CN 1113347 A & US 5592421 A & KR 241209 B & DE 69516328 T & JP 2000-200485 A & JP 3155879 B2 & JP 2002-25260 A & JP 3281353 B2	1, 2, 8, 41

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**